

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-021772

(43)Date of publication of application : 21.01.2000

(51)Int.Cl.

H01L 21 20  
H01L 33 00  
H01S 5 30

(21)Application number : 10-180930

(71)Applicant : SONY CORP

(22)Date of filing : 26.06.1998

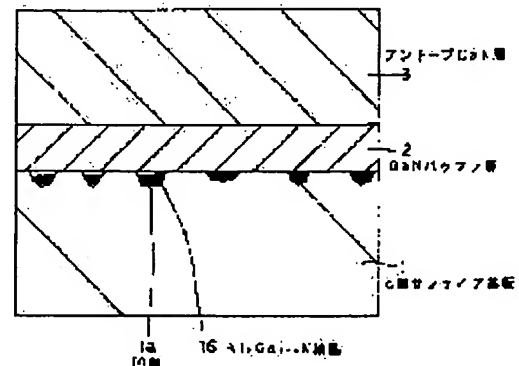
(72)Inventor : MORITA ETSUO

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

## (57)Abstract:

PROBLEM TO BE SOLVED: To improve the crystallinity of a nitride type III-V compd. semiconductor layer grown on a sapphire substrate.

SOLUTION: A plurality of recesses 1a are formed into one main plane of a sapphire substrate 1, a nitride type III-V compd. semiconductor layer is grown thereon, at least a part of the inner surface of the recess 1a makes an angle of 10° or more with the one main plane of the sapphire substrate 1, the interior of the recess 1a is filled with a nitride type III-V compd. semiconductor crystal having a Al compsn. ratio higher than that of the nitride type III-V compd. semiconductor layer, e.g.  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  crystal 16 having an Al compsn. ratio x of 0.2 or more, and the recesses 1a are each 25 nm deep or more and 30 nm wide or more and may be formed, when the sapphire substrate 1 is thermally cleaned, or using the lithography, etching, thermal etching, etc.



## \* NOTICES

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1 A semiconductor device, wherein a crevice is established in the above-mentioned silicon on sapphire in an interface of the above-mentioned silicon on sapphire and the above-mentioned nitride system group-III-V-semiconductor layer in a semiconductor device using a nitride system group-III-V-semiconductor layer who made it grow up on silicon on sapphire.

[Claim 2 The semiconductor device according to claim 1, wherein at least a part of inner surface of the above-mentioned crevice makes an angle of 10 degrees or more to the 1 principal surface by the side of the above-mentioned nitride system group-III-V-semiconductor layer of the above-mentioned silicon on sapphire.

[Claim 3 The semiconductor device according to claim 1, wherein the 1 principal surface by the side of the above-mentioned nitride system group-III-V-semiconductor layer of the above-mentioned silicon on sapphire consists of a field which carried out the minute angle inclination from a field (0001) or (0001) a field of a sapphire crystal.

[Claim 4 The semiconductor device according to claim 1, wherein the depth is not less than 30 nm in not less than 25 nm and width in the above-mentioned crevice.

[Claim 5 The semiconductor device according to claim 1, wherein a nitride system group-III-V-semiconductor crystal with larger Al composition ratio than the above-mentioned nitride system group-III-V-semiconductor layer is embedded to an inside of the above-mentioned crevice.

[Claim 6 The semiconductor device according to claim 5, wherein the depth is not less than 30 nm in not less than 10 nm and width in the above-mentioned crevice.

[Claim 7 So that a nitride system group-III-V-semiconductor crystal with larger Al composition ratio than the above-mentioned nitride system group-III-V-semiconductor layer may embed an inside of the above-mentioned crevice at an interface of the above-mentioned silicon on sapphire and the above-mentioned nitride system group-III-V-semiconductor layer. The semiconductor device according to claim 1 providing.

[Claim 8 The above-mentioned nitride system group-III-V-semiconductor layer consists of aluminum<sub>x1</sub>Ga<sub>1-x1-y1</sub>In<sub>y1</sub>N (0< x1< 1, 0< y1< 1, 0< x1 y1< 1), The semiconductor device according to claim 6 characterized by being x2-x1 > 0.1 when the above-mentioned nitride system group-III-V-semiconductor crystal consists of aluminum<sub>x2</sub>Ga<sub>1-x2-y2</sub>In<sub>y2</sub>N (0< x2< 1, 0< y2< 1, 0< x2 y2< 1).

[Claim 9 The above-mentioned nitride system group-III-V-semiconductor layer consists of aluminum<sub>x1</sub>Ga<sub>1-x1-y1</sub>In<sub>y1</sub>N (0< x1< 1, 0< y1< 1, 0< x1 y1< 1), The semiconductor device according to claim 7 characterized by being x2-x1 > 0.1 when the above-mentioned nitride system group-III-V-semiconductor crystal consists of aluminum<sub>x2</sub>Ga<sub>1-x2-y2</sub>In<sub>y2</sub>N (0< x2< 1, 0< y2< 1, 0< x2 y2< 1).

[Claim 10 The semiconductor device according to claim 5 characterized by the above-mentioned nitride system group-III-V-semiconductor crystal consisting of aluminum<sub>x</sub>Ga<sub>1-x</sub>N of 0.2< x< 1 when the above-mentioned nitride system group-III-V-semiconductor layer is a GaN layer.

[Claim 11 The semiconductor device according to claim 7, wherein the above-mentioned nitride system group-III-V-semiconductor crystal consists of aluminum<sub>x</sub>Ga<sub>1-x</sub>N of 0.2< x< 1.

[Claim 12 The semiconductor device according to claim 1, wherein a nitride system group-III-V-semiconductor crystal is embedded to an inside of the above-mentioned crevice and a moire pattern is observed in a transmission electron microscope image of a portion of the above-mentioned nitride system group-III-V-semiconductor crystal.

[Claim 13 A nitride system group-III-V-semiconductor crystal is embedded to an inside of the above-mentioned crevice, The semiconductor device according to claim 1, wherein a moire pattern whose interval is 1.37-1.67 nm is observed by portion of the above-mentioned crevice in a transmission electron microscope image which excited reflection (0002) of the above-mentioned nitride system group-III-V-semiconductor crystal and reflection (0006) of a sapphire crystal at least.

[Claim 14 In a transmission electron microscope image which excited reflection (0002) of the above-mentioned nitride system group-III-V-semiconductor crystal and reflection (0006) of a sapphire crystal at least, The semiconductor device according to claim 10, wherein a moire pattern whose interval is 1.37-1.67 nm is observed by portion of the above-mentioned crevice.

[Claim 15 In a transmission electron microscope image which excited reflection (0002) of the above-mentioned nitride system group-III-V-semiconductor crystal and reflection (0006) of a sapphire crystal at least, The semiconductor device according to claim 11, wherein a moire pattern whose interval is 1.37-1.67 nm is observed by portion of the above-mentioned crevice.

[Claim 16 In a manufacturing method of a semiconductor device using a nitride system group-III-V-semiconductor layer who made it grow up on silicon on sapphire, A manufacturing

method of a semiconductor device characterized by making it grow up a nitride system group-III-V-semiconductor layer on the above-mentioned 1 principal surface of the above-mentioned silicon on sapphire after forming a crevice in the 1 principal surface of silicon on sapphire.

[Claim 17 A manufacturing method of the semiconductor device according to claim 16, wherein at least a part of inner surface of the above-mentioned crevice makes an angle of 10 degrees or more to the 1 above-mentioned principal surface of the above-mentioned silicon on sapphire.

[Claim 18 A manufacturing method of the semiconductor device according to claim 16, wherein the 1 above-mentioned principal surface of the above-mentioned silicon on sapphire consists of a field which carried out the minute angle inclination from a field (0001) or (0001) a field of a sapphire crystal.

[Claim 19 A manufacturing method of the semiconductor device according to claim 16, wherein the depth is not less than 30 nm in not less than 25 nm and width in the above-mentioned crevice.

[Claim 20 A buffer layer which consists of a nitride system group III-V semiconductor with substrate temperature of the 1st temperature on the above-mentioned 1 principal surface of the above-mentioned silicon on sapphire is grown up, Subsequently, a manufacturing method of the semiconductor device according to claim 16 characterized by making it grow up the above-mentioned nitride system group-III-V-semiconductor layer after carrying out temperature up of the substrate temperature to the 2nd temperature higher than the 1st temperature of the above from the 1st temperature of the above.

[Claim 21 A manufacturing method of the semiconductor device according to claim 16 characterized by making it grow up a buffer layer which consists of a nitride system group III-V semiconductor while carrying out temperature up of the substrate temperature to the 4th temperature higher than this 3rd temperature from the 3rd temperature on the above-mentioned silicon on sapphire.

[Claim 22 A manufacturing method of the semiconductor device according to claim 16 characterized by making it grow up a nitride system group-III-V-semiconductor layer directly, carrying out temperature up of the substrate temperature to the 6th temperature higher than this 5th temperature from the 5th temperature on the above-mentioned silicon on sapphire.

[Claim 23 By heat treatment at the time of temperature up of the above-mentioned substrate temperature, while raising crystallization or crystallinity, the above-mentioned buffer layer embedded to an inside of the above-mentioned crevice of the above-mentioned silicon on sapphire, By making the above-mentioned buffer layer diffuse aluminum of the above-mentioned silicon on sapphire, A manufacturing method of the semiconductor device according to claim 21 forming a nitride system group-III-V-semiconductor crystal which was embedded at least to an inside of the above-mentioned crevice of the above-mentioned silicon

on sapphire, and in which Al composition ratio is higher than the above-mentioned nitride system group-III-V-semiconductor layer.

[Claim 24 By heat treatment at the time of temperature up of the above-mentioned substrate temperature, while raising crystallization or crystallinity, the above-mentioned buffer layer embedded to an inside of the above-mentioned crevice of the above-mentioned silicon on sapphire, By making the above-mentioned buffer layer diffuse aluminum of the above-mentioned silicon on sapphire, A manufacturing method of the semiconductor device according to claim 22 forming a nitride system group-III-V-semiconductor crystal which was embedded at least to an inside of the above-mentioned crevice of the above-mentioned silicon on sapphire, and in which Al composition ratio is higher than the above-mentioned nitride system group-III-V-semiconductor layer.

[Claim 25 By heat treatment at the time of temperature up of the above-mentioned substrate temperature, while raising crystallization or crystallinity, the above-mentioned nitride system group-III-V-semiconductor layer embedded to an inside of the above-mentioned crevice of the above-mentioned silicon on sapphire, By making the above-mentioned nitride system group-III-V-semiconductor layer diffuse aluminum of the above-mentioned silicon on sapphire, A manufacturing method of the semiconductor device according to claim 23 forming a nitride system group-III-V-semiconductor crystal which was embedded at least to an inside of the above-mentioned crevice of the above-mentioned silicon on sapphire, and in which Al composition ratio is higher than the above-mentioned nitride system group-III-V-semiconductor layer.

[Claim 26 A manufacturing method of the semiconductor device according to claim 23, wherein the depth is not less than 30 nm in not less than 10 nm and width in the above-mentioned crevice.

[Claim 27 A manufacturing method of the semiconductor device according to claim 24, wherein the depth is not less than 30 nm in not less than 10 nm and width in the above-mentioned crevice.

[Claim 28 A manufacturing method of the semiconductor device according to claim 25, wherein the depth is not less than 30 nm in not less than 10 nm and width in the above-mentioned crevice.

[Claim 29 A manufacturing method of the semiconductor device nitriding before growing up the above-mentioned buffer layer / semiconductor device the 1 above-mentioned principal surface of the above-mentioned silicon on sapphire ] according to claim 20.

[Claim 30 A manufacturing method of the semiconductor device nitriding before growing up the above-mentioned buffer layer / semiconductor device the 1 above-mentioned principal surface of the above-mentioned silicon on sapphire ] according to claim 21.

[Claim 31 A manufacturing method of the semiconductor device nitriding before growing up

the above-mentioned nitride system group-III-V-semiconductor layer / semiconductor device  
the 1 above-mentioned principal surface of the above-mentioned silicon on sapphire ]  
according to claim 22.

---

[Translation done.]

## \* NOTICES

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention

[0001]

[Field of the Invention Especially this invention is applied to the semiconductor laser using a nitride system group III-V semiconductor, a light emitting diode, or electronic run elements, such as GaN, about a semiconductor device and a manufacturing method for the same, and is preferred.

[0002]

[Description of the Prior Art The semiconductor laser and light emitting diode using the nitride system group III-V semiconductor represented by GaN which consist of group III elements, such as aluminum, Ga, and In, and a V group element containing N as a luminescent material which ranges from green or blue to an ultraviolet region are developed. Among these, about the light emitting diode, it is already put in practical use. On the other hand, in the semiconductor laser, although room temperature continuous oscillation is realized, for reinforcement, a nitride system group's III-V semiconductor further crystalline improvement is needed. Therefore, the art which raises the crystallinity of GaN(s), such as ELOG-GaN (Epitaxially laterally overgrown GaN), is also applied, and the effect is demonstrated. However, the further crystalline improvement in the nitride system group-III-V-semiconductor layer itself which is to the foundations and which was grown up on the crystal substrate is also desired.

[0003]After sapphire or SiC is generally used as a substrate crystal and flattening and mirror-plane-ization-processed defecation on the surface of a crystal substrate are fully performed in a growth device, growth of a nitride system group-III-V-semiconductor layer is performed on it. In this case, since it is required to form the various laminated structures which have the flat surface or interface structure at an atom level in order to manufacture the target semiconductor device, maintenance or the surface cleaning-ized method by which flattening is carried out, and the growing method are used [ the substrate face ] for flat.

[0004]The method of raising the crystallinity of a nitride system group-III-V-semiconductor layer is also proposed by making a crystal substrate side fine-incline and making the growth form on it into step flow (Step Flow) mode (JP,7-201745,A).

[0005]In the case where a GaAs substrate and an InP substrate are used, Since a buffer layer is grown up on the substrate which formed in the substrate face (001) the diffraction grating which consists of a B (111) side in order to reflect the waveguide light in a waveguide, growing up a nitride system group-III-V-semiconductor layer is performed (JP,8-264901,A).

[0006]Between silicon on sapphire and the nitride system group-III-V-semiconductor layer on it, Insert an AlN buffer layer or (JP,2-229476,A), inserting GaN or an AlGaIn buffer layer \*\*\*\* (JP,4-297023,A.) The technique of aiming at crystalline improvement, the technique (JP,5-41541,A) of raising crystallinity by nitriding [ the silicon-on-sapphire surface ], etc. are known by carrying out JP,7-312350,A. Several buffer layers from which a grating constant differs are laminated continuously, and the method of stopping the defect by a stacking fault low is known by making small lattice constant difference of a substrate, a buffer layer and a buffer layer, and the epitaxial layer on it (JP,9-63962,A).

[0007]

[Problem(s) to be Solved by the Invention It is supposed that there is generally wandering of crystal orientation in the nitride system group-III-V-semiconductor crystal who made it grow up on silicon on sapphire or a SiC substrate. That is, this nitride system group-III-V-semiconductor crystal is a "mosaic crystal." Wandering of this crystal orientation can roughly be divided and can be divided into the twist (Twist) mosaic ingredient which is unsteady in the direction which is rotated around an axis vertical to a substrate face, and the tilt (Tilt) mosaic ingredient which is unsteady in the direction from which axial orientation shifts perpendicularly. It is usually supposed that there is about 0.01-0.5 degree the size of these wandering. It is thought that the cause of wandering of this crystal orientation is because it differs mutually greatly from those grating constants that the crystal structures of the substrate to be used and the nitride system group-III-V-semiconductor layer who makes it grow up on it differ. Since it is relatively weak compared with those insides of a crystal, the interatomic bond of a stable sapphire crystal and a nitride system group-III-V-semiconductor crystal is considered to be a factor that taking over of the crystal orientation from a sapphire crystal is hard to be performed correctly at the time of growth.

[0008]In the semiconductor light emitting element which used the nitride system group-III-V-semiconductor layer for the above mosaic crystal nature, improvement in element characteristics, such as decline in luminous efficiency, is barred, or the problem has produced that it is short-life etc. in the reliability as an element.

[0009]Therefore, the purpose of this invention is to provide a semiconductor device which can aim at crystalline improvement in a nitride system group-III-V-semiconductor layer grown up on



silicon on sapphire, and a manufacturing method for the same.

[0010]

[Means for Solving the Problem] this invention person inquired wholeheartedly that an above-mentioned technical problem which conventional technology has should be solved. The outline is explained below.

[0011] this invention person examined whether it would be optimal that the surface of silicon on sapphire is in what kind of state, in order to aim at crystalline improvement in a nitride system group III-V semiconductor which makes it grow up on silicon on sapphire. About the surface of this silicon on sapphire, it is thought that a flatter thing is desirable until now, and it can be said that efforts were paid to flattening. For example, when heating in temperature of not less than 900 °C by a normal pressure atmosphere and heat-treating silicon on sapphire to JP, 8-83802, A, By controlling atomic step height and terrace width on the surface of silicon on sapphire by choosing cooking time and cooking temperature corresponding to a plane direction. It consists only of a terrace side which has the same crystal orientation substantially by super-flatness, and art of obtaining a substrate face which moreover has a linear shape regular step site is proposed.

[0012] However, it is better to completely form a crevice positively on the surface of silicon on sapphire conversely with the above-mentioned flattening, in order to aim at crystalline improvement in a nitride system group III-V semiconductor which makes it grow up on silicon on sapphire according to this invention person's examination. This is based on the following reasons.

[0013] In a crystal growth (vapor-phase-epitaxy and solid phase growth are included) process on the flat surface of silicon on sapphire. Crystal orientation of a nitride system group-III-V-semiconductor crystal which grows, Since it is determined only by an interaction of a nitride system group-III-V-semiconductor atom and a sapphire crystal atom which sandwich only one interface parallel to a substrate face, wandering of crystal orientation which already said that interaction force in this interface is not large becomes large. In particular, control of wandering (twist ingredient) of crystal orientation of field inboard becomes weak. On the other hand, in an interface which has a dent, it is possible to restrict crystal orientation by limiting crystal orientation by a lateral force of constraint via a crystal face of an oblique direction which is not parallel to a substrate. For this reason, it becomes possible to coincide more correctly orientation relationship of silicon on sapphire and a nitride system group-III-V-semiconductor crystal which grows on it.

[0014] In a method of using a step form fine inclined substrate of uniform crystal orientation here, When a crevice is established in the silicon-on-sapphire surface to being one direction, restraint of crystal orientation, Since growth of a nitride system group III-V semiconductor on this silicon on sapphire is restricted by two or more crystal orientation and crystal faces, it can

acquire a bigger effect about coincidence of orientation relationship of silicon on sapphire and a nitride system group-III-V-semiconductor layer which grows on it.

[0015]This invention is thought out based on the above examination by this invention person. Namely, to achieve the above objects an invention of the 1st of this invention, In a semiconductor device using a nitride system group-III-V-semiconductor layer who made it grow up on silicon on sapphire, a crevice is established in silicon on sapphire in an interface of silicon on sapphire and a nitride system group-III-V-semiconductor layer.

[0016]In a manufacturing method of a semiconductor device using a nitride system group-III-V-semiconductor layer who grew up an invention of the 2nd of this invention on silicon on sapphire, After forming a crevice in the 1 principal surface of silicon on sapphire, it was made to grow up a nitride system group-III-V-semiconductor layer on the 1 principal surface of silicon on sapphire.

[0017]In this invention, a crevice of silicon on sapphire can be made into various sectional shape and plane shape, it may be punctiform, may be a line, or may combine a punctiform thing and a linear thing. These crevices may be formed by control of conditions at the time of being able to form by various methods, for example, carrying out thermal cleaning of the surface of silicon on sapphire, use of a lithography technology and etching technology, thermal etching, etc.

[0018]In this invention, when growing up a nitride system group-III-V-semiconductor layer on silicon on sapphire, From a viewpoint which restricts growth according to two or more crystal orientation and crystal faces, and aims at more exact coincidence of orientation relationship of silicon on sapphire and a nitride system group-III-V-semiconductor layer who makes it grow up on it. Suitably, at least a part of inner surface of a crevice of silicon on sapphire makes an angle of 10 degrees or more to the 1 principal surface of silicon on sapphire. About a size of a crevice, from same viewpoint, suitably, the depth shall be not less than 25 nm, and width shall be not less than 30 nm. Or from a viewpoint of making easy diffusion of aluminum from silicon on sapphire like the after-mentioned, the depth of a crevice shall be not less than 10 nm, and width shall be not less than 30 nm. 5 micrometers or less of width of these crevices are 2 micrometers or less typically suitably.

[0019]Typically in this invention, the 1 principal surface of silicon on sapphire consists of a field which carried out the minute angle inclination from a field (0001) (what is called a c side) or (0001) a field of a sapphire crystal. Here, a minute angle means an angle of less than 10 degrees. When the 1 principal surfaces of silicon on sapphire are these fields, various crystal faces may appear in an inner surface of a crevice. Specifically, {11-26} side of a sapphire crystal, {11-29} side, etc. appear, for example. According to measurement of an angle of a crystal face of an inner surface of an actually formed crevice, although an angle changes with crevices, it has these two crystal faces or an angle in the meantime.

[0020]In this invention, an inside of a crevice of silicon on sapphire in the state where a nitride system group-III-V-semiconductor layer was formed is embedded as the nitride system group-III-V-semiconductor crystal to which crystal orientation was equal. However, two or more crevices of all do not necessarily need to be embedded as a nitride system group-III-V-semiconductor crystal. A nitride system group III-V semiconductor who was embedded in this crevice and to whom crystal orientation was equal can form by heat-treating at an elevated temperature more, after growing up a nitride system group's III-V semiconductor buffer layer at low temperature on silicon on sapphire by which a crevice was formed in the 1 principal surface, for example. Since this method grows up a nitride system group's III-V semiconductor buffer layer at low temperature first on silicon on sapphire, when using a process which carries out temperature up of the substrate temperature, and grows up a nitride system group-III-V-semiconductor layer on this buffer layer, it suits, but. By performing growth of a nitride system group-III-V-semiconductor layer on it from growth of a buffer layer, carrying out temperature up of the substrate temperature to an elevated temperature continuously from low temperature, a laminated structure without unusual interface formation by growth interruption is realizable. Making an elevated temperature carry out temperature up of the substrate temperature from low temperature on silicon on sapphire as an option, without growing up a buffer layer, a nitride system group-III-V-semiconductor layer may be grown up directly, and a nitride system group-III-V-semiconductor crystal may also be embedded in a crevice of silicon on sapphire. Growth is continued starting growth of a nitride system group-III-V-semiconductor layer from substrate temperature of 500-520 \*\*, and specifically carrying out temperature up of the substrate temperature to 1000-1100 \*\*, for example. And if substrate temperature rises to 1000-1100 \*\*, substrate temperature will be held to the temperature and growth will be continued. However, when a layer which contains In(s), such as a GaInN layer, in a nitride system group-III-V-semiconductor layer is contained, growth of the layer is performed with substrate temperature of 700-800 \*\*.

[0021]Here, it can judge that a nitride system group-III-V-semiconductor crystal to which crystal orientation was equal is formed into a crevice of silicon on sapphire by existence of moire pattern formation which used a transmission electron microscope. For example, in a transmission electron microscope image which excited reflection (0002) of a nitride system group-III-V-semiconductor crystal and reflection (0006) of a sapphire crystal at least, By observing a moire pattern by these lattice planes that appear inside a crevice of silicon on sapphire, nitride system group-III-V-semiconductor crystal growth to which crystal orientation was equal can be confirmed. This moire pattern has an interval depending on an ingredient of a nitride system group III-V semiconductor who made it grow up, and a presentation.

[0022]In this invention, typically to an interface of silicon on sapphire and a nitride system group-III-V-semiconductor layer on it. A buffer layer which consists of a high-Al-composition

ratio nitride system group-III-V-semiconductor crystal which aluminum which makes the origin silicon on sapphire which consists of aluminum<sub>2</sub>O<sub>3</sub> diffused is formed so that a crevice of silicon on sapphire may be embedded. This high-Al-composition ratio nitride system group-III-V-semiconductor crystal may be embedded only to an inside of a crevice of silicon on sapphire. Since a crevice is established in silicon on sapphire in an interface with this buffer layer here and a touch area of silicon on sapphire and a buffer layer is increasing only a surface integral of an inner surface of a crevice, diffusion of aluminum from silicon on sapphire to a buffer layer is performed easily. For example, a nitride system group-III-V-semiconductor layer consists of aluminum<sub>x1</sub>Ga<sub>1-x1-y1</sub>In<sub>y1</sub>N (0< x1< 1, 0< y1< 1, 0< x1+y1< 1), When a nitride system group-III-V-semiconductor crystal consists of aluminum<sub>x2</sub>Ga<sub>1-x2-y2</sub>In<sub>y2</sub>N (0< x2< 1, 0< y2< 1, 0< x2+y2< 1), it is made to be suitably set to x2-x1 > 0.1. The following effects are acquired by forming this high-Al-composition ratio nitride system group-III-V-semiconductor crystal. Namely, for example, when a nitride system group-III-V-semiconductor layer is a GaN layer, a high-Al-composition ratio nitride system group-III-V-semiconductor crystal turns into an AlGaIn crystal, but. While silicon on sapphire and a GaN layer are continuously connectable via aluminum with this AlGaIn crystal, This AlGaIn crystal can decrease an inharmonious rearrangement which can ease lattice constant difference of silicon on sapphire and a GaN layer, and is produced according to lattice constant difference by having a grating constant nearer to silicon on sapphire compared with a GaN layer. Heat treatment at the time of temperature up of substrate temperature after growing up a buffer layer at low temperature can perform formation of this high-Al-composition ratio nitride system group-III-V-semiconductor crystal. Or when growing up a nitride system group-III-V-semiconductor layer directly on silicon on sapphire, raising substrate temperature from low temperature to an elevated temperature, without growing up a buffer layer, it can carry out in process of temperature up of substrate temperature. From a viewpoint of diffusing aluminum from silicon on sapphire effectively, a layer which consists of aluminum and N is formed further again by the nitriding [ the principal surface / exposing the 1 principal surface of silicon on sapphire to gas containing nitrogen and ] before growth suitably. By forming a crevice in silicon on sapphire in these cases, a touch area of an interface of silicon on sapphire and a layer which grows on it increases, and a diffusion reaction of aluminum is promoted.

[0023] Here, it can check that a high-Al-composition ratio nitride system group-III-V-semiconductor crystal is formed in an interface of silicon on sapphire and a nitride system group-III-V-semiconductor layer by observing a moire pattern which used a transmission electron microscope. in a transmission electron microscope image which excited reflection (0002) of a nitride system group-III-V-semiconductor crystal and reflection (0006) of a sapphire crystal at least, a moire pattern whose interval is 0.8-1.7 nm is more specifically observed to an

interface field -- or, In a transmission electron microscope image which excited reflection (01-10) of a nitride system group-III-V-semiconductor crystal and reflection (11-20) of a sapphire crystal at least, a moire pattern of an interval whose interval is 1-2.1 nm is observed to an interface field, Or it can judge by observing a moire pattern of a 0.6-1.2-nm interval in a transmission electron microscope image which excited reflection (0-220) of a nitride system group-III-V-semiconductor crystal and reflection (03-30) of a sapphire crystal at least.

[0024]In this invention, a nitride system group III-V semiconductor, When it consists of at least a kind of group III elements chosen from a group which consists of Ga, aluminum, In, and B, and a V group element which contains N at least and contains As or P further by a case and an example is given, they are GaN, InN, AlN, AlGaIn, GaInN, AlGaInN, etc.

[0025]In this invention, an organometal chemistry vapor-phase-epitaxy (MOCVD) method, a molecular beam epitaxy (MBE) method, etc. can be used for growth of a nitride system group-III-V-semiconductor layer.

[0026]In this invention, although what kind of thing a semiconductor device may be fundamentally, specifically, they are electronic run elements, such as light emitting devices, such as a semiconductor laser and a light emitting diode, or GaN system FET.

[0027]According to this invention constituted as mentioned above, by establishing a crevice in the 1 principal surface of silicon on sapphire, According to two or more crystal orientation and crystal faces, can restrict growth of a nitride system group-III-V-semiconductor layer on this silicon on sapphire, and by it. Orientation relationship of silicon on sapphire and a nitride system group III-V semiconductor who grows on it can be coincided more correctly.

[0028]

[Embodiment of the Invention Hereafter, it explains, referring to drawings for the embodiment of this invention. In the complete diagram of an embodiment, the same numerals are given to the portion which is the same or corresponds.

[0029]Drawing 1 shows the GaN system semiconductor laser by a 1st embodiment of this invention, and drawing 2 expands and shows the part near the substrate face of this GaN system semiconductor laser. This GaN system semiconductor laser is SCH (Separate Confinement Heterostructure). It has structure.

[0030]In the GaN system semiconductor laser according to this 1st embodiment as shown in drawing 1 and drawing 2, On c side silicon on sapphire 1, via GaN buffer layer 2, Undoped GaN layer 3, the n type GaN contact layer 4, the n type AlGaIn clad layer 5, the n type GaN lightguide 6, the active layer 7 of  $\text{Ga}_{1-x}\text{In}_x\text{N}/\text{Ga}_{1-y}\text{In}_y\text{N}$  multiple quantum well structure, the p type AlGaIn cap layer 8, The p type GaN lightguide 9, the p type AlGaIn clad layer 10, and the p type GaN contact layer 11 are laminated one by one. Here the p type AlGaIn cap layer 8, That InN decomposes from the active layer 7 of  $\text{Ga}_{1-x}\text{In}_x\text{N}/\text{Ga}_{1-y}\text{In}_y\text{N}$  multiple quantum well structure when growing up the p type GaN lightguide 9, the p type AlGaIn clad layer 10, and

the p type GaN contact layer 11 at the temperature of about 1000 \*\*. While preventing, it is for preventing overflow of the electron from the active layer 7.

[0031]GaN buffer layer 2 is 30 nm in thickness, and undoped GaN layer 3 is 1 micrometer in thickness. As for the n type GaN contact layer 4, thickness is 4 micrometers and Si is doped as a n type impurity. As for the n type AlGaIn clad layer 5, thickness is 0.5 micrometer and Si is doped as a n type impurity. As for the n type GaN lightguide 6, thickness is 0.1 micrometer and Si is doped as a n type impurity. As for the p type AlGaIn cap layer 8, thickness is 20 nm and Mg is doped as a p type impurity. As for the p type GaN lightguide 9, thickness is 0.1 micrometer and Mg is doped as a p type impurity. As for the p type AlGaIn clad layer 10, thickness is 0.5 micrometer and Mg is doped as a p type impurity. The Al composition ratio of 0.07 and the p type AlGaIn cap layer 8 of the Al composition ratio of the n type AlGaIn clad layer 5 and the p type AlGaIn clad layer 10 is 0.16. About the active layer 7 of  $\text{Ga}_{1-x}\text{In}_x\text{N}/\text{Ga}_{1-y}\text{In}_y\text{N}$  multiple quantum well structure. For example, 3 nm and 6 nm, and the number of wells of  $x = 0.11$ ,  $y = 0.01$ , a  $\text{Ga}_{1-x}\text{In}_x\text{N}$  layer, and  $\text{Ga}_{1-y}\text{In}_y\text{N}$  layer thickness are 4, respectively, for example. The Al composition ratio of 0.07 and the p type AlGaIn cap layer 8 of the Al composition ratio of the n type AlGaIn clad layer 5 and the p type AlGaIn clad layer 10 is 0.16.

[0032]The upper levels of the n type GaN contact layer 4, The n type AlGaIn clad layer 5, the n type GaN lightguide 6, the active layer 7 of  $\text{Ga}_{1-x}\text{In}_x\text{N}/\text{Ga}_{1-y}\text{In}_y\text{N}$  multiple quantum well structure, the p type AlGaIn cap layer 8, the p type GaN lightguide 9, the p type AlGaIn clad layer 10. And the p type GaN contact layer 11 has the mesa shape of prescribed width. The ridge part 12 of the prescribed width which extends in one way is formed in the upper levels and the p type GaN contact layer 11 of the p type AlGaIn clad layer 10 in this mesa part. The insulator layer 13 like a  $\text{SiO}_2$  film is formed in the surface of a mesa part, and the surface of the n type GaN contact layer 4 of portions other than a mesa part. The opening 13b is formed in the portion on the n type GaN contact layer 4 of the portion in which the opening 13a adjoins the portion on the ridge part 12 at a mesa part at this insulator layer 13. And the p lateral electrode 14 is formed so that the ridge part 12 may be straddled, and ohmic contact is carried out to the p type GaN contact layer 11 of the ridge part 12 through the opening 13a of the insulator layer 13. This p lateral electrode 14 has the nickel Pt Au structure which laminated a Ni film, a Pt film, and Au membrane one by one, for example. Through the opening 13b of the insulator layer 13, on the n type GaN contact layer 4, the n lateral electrode 15 carries out ohmic contact, and is provided. This n lateral electrode 15 has the Ti/aluminum/Pt Au structure which laminated a Ti film; an Al film, a Pt film, and Au membrane one by one, for example.

[0033]In as shown in drawing 2 ] this 1st embodiment, Unlike the conventional GaN system semiconductor laser, c side silicon on sapphire 1 and the nitride system group-III-V-semiconductor layer on it, Specifically, the crevice 1a is formed in c side silicon on sapphire 1

in an interface with GaN buffer layer 2 in large numbers with the surface density which is a  $10^9 \text{ cm}^{-2}$  grade. The sectional shape of these crevices 1a may be various things, such as a triangle and a trapezoid, and may be various things, such as that with which two or more a hexagon, a triangle, circular, and these which also illustrate those plane shape to drawing 3 combined. The size of these crevices 1a is not less than 25 nm in depth, and is not less than 30 nm in width, for example. The inside of these crevices 1a is embedded as the aluminum  $\text{Ga}_x\text{Ga}_{1-x}\text{N}$  crystal 16 to which crystal orientation was equal. Here, Al composition ratio  $x$  of this aluminum  $\text{Ga}_x\text{Ga}_{1-x}\text{N}$  crystal 16 is 0.2 or more. In the electron microscope image which excited reflection (0006) of a sapphire crystal and reflection (0002) of a GaN crystal, the interval of the moire pattern observed in the portion of this aluminum  $\text{Ga}_x\text{Ga}_{1-x}\text{N}$  crystal 16 is 1.37-1.67 nm.

[0034]Next, the manufacturing method of the GaN system semiconductor laser by this 1st embodiment constituted as mentioned above is explained.

[0035]First, in order to manufacture this GaN system semiconductor laser, as shown in drawing 4, the surface prepares flattening and mirror-plane--ization-processed c side silicon on sapphire 1, and this c side silicon on sapphire 1 is put in in the coil of the MOCVD system which carried out the graphic display abbreviation.

[0036]next, the inside of this coil -- atmosphere, such as inactive gas, such as hydrogen gas and argon gas, and nitrogen gas, -- in a reducing atmosphere like hydrogen gas suitably, While performing thermal cleaning of the surface of c side silicon on sapphire 1 by setting substrate temperature as 1000-1300 \*\*, and heat-treating it for 1 to 60 minutes, as shown in drawing 5, the crevice 1a is formed in the surface. At this time, substrate temperature and time are adjusted according to the size and shape of the crevice 1a which are made into the purpose.

[0037]Next, after dropping substrate temperature to 520 , as shown in drawing 2, GaN buffer layer 2 is grown up by the MOCVD method on the surface in which the crevice 1a of c side silicon on sapphire 1 was formed. Next, to 1000 , make substrate temperature rise it and by the MOCVD method. On GaN buffer layer 2, undoped GaN layer 3, the n type GaN contact layer 4, the n type AlGaIn clad layer 5, the n type GaN lightguide 6, the active layer 7 of  $\text{Ga}_{1-x}\text{In}_x\text{N}/\text{Ga}_{1-y}\text{In}_y\text{N}$  multiple quantum well structure, The p type AlGaIn cap layer 8, the p type GaN lightguide 9, the p type AlGaIn clad layer 10, and the p type GaN contact layer 11 are grown up one by one. However, growth of the active layer 7 of the  $\text{Ga}_{1-x}\text{In}_x\text{N}/\text{Ga}_{1-y}\text{In}_y\text{N}$  multiple quantum well structure which is a layer containing In performs substrate temperature as 700-800 \*\*. As a raw material of Ga which is group III elements, the growth material of these GaN system semiconductor layers, for example trimethylgallium (TMG), As a raw



material of aluminum which is group III elements, ammonia ( $\text{NH}_3$ ) is used as a raw material of N which is V group element about trimethylindium (TMI) as a raw material of In which is group III elements about trimethylaluminum (TMA). As carrier gas, the mixed gas of hydrogen ( $\text{H}_2$ ) and nitrogen ( $\text{N}_2$ ) is used, for example. About a dopant, a mono silane ( $\text{SiH}_4$ ) is used as a n type dopant, and for example, methylcyclopentadienyl magnesium (MCp) ( $\text{C}_5\text{H}_5\text{Mg}$ ) is used as a p type dopant.

[0038]An example of the substrate temperature sequence from above-mentioned thermal cleaning to growth of a nitride system group-III-V-semiconductor layer is shown in drawing 6.

[0039]While GaN buffer layer 2 embedded by heat treatment under substrate temperature rise after growth of GaN buffer layer 2 to the inside of the crevice 1a of c side silicon on sapphire 1 crystallizes by solid phase epitaxial growth, aluminum is spread from c side silicon on sapphire 1 into this crystal. Of this, the aluminum $_{\text{x}}$ Ga $_{1-\text{x}}$ N crystal 16 with which crystal orientation was equal to the inside of this crevice 1a is formed. According to measurement of the interval of the moire pattern by a transmission electron microscope, it is possible for Al composition ratio x of the aluminum $_{\text{x}}$ Ga $_{1-\text{x}}$ N crystal 16 to be set also to 0.95 at the maximum by this method. c side silicon on sapphire 1 and the aluminum $_{\text{x}}$ Ga $_{1-\text{x}}$ N crystal 16 share aluminum between the process of this crystallization and aluminum diffusion, and join together firmly in it. The lattice constant difference of c side silicon on sapphire 1 and GaN buffer layer 2 is eased by that this aluminum $_{\text{x}}$ Ga $_{1-\text{x}}$ N crystal 16 has small lattice constant difference with c side silicon on sapphire 1 compared with GaN. Since it has the structure where Al composition ratio decreases gradually toward a top from the bottom if it sees by the aluminum $_{\text{x}}$ Ga $_{1-\text{x}}$ N crystal 16 and whole GaN buffer layer 2 on it, the stacking fault with c side silicon on sapphire 1 is eased gradually. And crystallization of GaN buffer layer 2 advances by using the aluminum $_{\text{x}}$ Ga $_{1-\text{x}}$ N crystal 16 as a core, and crystalline GaN buffer layer 2 excellent in the last target is obtained. This sake, Undoped GaN layer 3 which grows on GaN buffer layer 2 excellent in this crystallinity, The n type GaN contact layer 4, the n type AlGaIn clad layer 5, the n type GaN lightguide 6, the active layer 7 of Ga $_{1-\text{x}}$ In $_{\text{x}}$ N/Ga $_{1-\text{y}}$ In $_{\text{y}}$ N multiple quantum well structure, the p type AlGaIn cap layer 8, the p type GaN lightguide 9, It becomes what was excellent also in the crystallinity of the p type AlGaIn clad layer 10 and the p type GaN contact layer 11.

[0040]All over the p type GaN contact layer 11, next, for example, a CVD method, a vacuum deposition method, By sputtering process etc., for example, after forming a 0.4-micrometer-thick  $\text{SiO}_2$  film, The resist pattern (not shown) of specified shape is formed with lithography on this  $\text{SiO}_2$  film, and a  $\text{SiO}_2$  film is etched by the wet etching using the etching reagent of a



fluoric acid system by using this resist pattern as a mask. Of this, the mask (not shown) which consists of a  $\text{SiO}_2$  film is formed on the p type GaN contact layer 11.

[0041]Next, it etches until it reaches the n type GaN contact layer 4 by a reactive-ion-etching (RIE) method, using this mask. At this time, 0.5 micrometer of n type GaN contact layers 4 are etched, for example. Chlorine system gas is used as etching gas of this RIE.

[0042]After carrying out etching removal of the mask, to an entire substrate again Next, for example, a CVD method, By vacuum deposition method, sputtering process, etc., for example, after forming a 0.2-micrometer-thick  $\text{SiO}_2$  film, The resist pattern (not shown) of specified shape is formed with lithography on this  $\text{SiO}_2$  film, and a  $\text{SiO}_2$  film is etched by the wet etching using the etching reagent of a fluoric acid system by using this resist pattern as a mask. Of this, the mask (not shown) which consists of a  $\text{SiO}_2$  film is formed in the substrate face containing a mesa part.

[0043]Next, by etching by the RIE method by predetermined Mr. Fukashi of the thickness direction of the p type GaN contact layer 11, using this mask, a slot is formed and the ridge part 12 is formed. Chlorine system gas is used as etching gas of this RIE.

[0044]Next, a wrap resist pattern (not shown) is formed for the surface of the field except n lateral electrode formation area with lithography.

[0045]Next, the opening 13b is formed by etching the insulator layer 13 by using this resist pattern as a mask.

[0046]Next, after forming a Ti film, an Al film, a Pt film, and Au membrane in an entire substrate one by one with a vacuum deposition method in the state where it has left the resist pattern, a resist pattern is removed with the Ti film, the Al film, the Pt film, and Au membrane which were formed on it (lift off). Of this, the n lateral electrode 15 of Ti aluminum Pt Au structure is formed on the n type GaN contact layer 4 in the portion of the opening 13b of the insulator layer 13.

[0047]Next, by, for example, performing heat treatment at 800 into a nitrogen gas atmosphere for 10 minutes, While performing electrical activation of the p type impurity doped by the p type AlGaIn cap layer 8, the p type GaN lightguide 9, the p type AlGaIn clad layer 10, and the p type GaN contact layer 11, alloy treatment of the n lateral electrode 15 is performed.

[0048]Next, a wrap resist pattern (not shown) is formed for the surface of the field except the field of the ridge part 12 with lithography.

[0049]Next, by etching the insulator layer 13 by using a resist pattern as a mask, the opening 13a is formed and the upper surface of the ridge part 12 is exposed.

[0050]Next, a wrap resist pattern (not shown) is formed for the surface of the field except p lateral electrode formation area with lithography.

[0051]Next, to an entire substrate, after forming a Ni film, a Pt film, and Au membrane one by

one with a vacuum deposition method, the resist pattern 22 is removed with the Ni film, the Pt film, and Au membrane which were formed on it. Of this, as shown in drawing 1, ranging over the ridge part 12, the p lateral electrode 14 of nickel Pt Au structure is formed. Next, for example, alloy treatment of the p lateral electrode 14 is performed by performing heat treatment at 600 °C into a nitrogen gas atmosphere for 20 minutes.

[0052]Then, after processing into bar shape c side silicon on sapphire 1 in which laser structure was formed as mentioned above, forming both resonator edge faces and performing edge face coating further, chip making of this bar is carried out. The GaN system semiconductor laser of ridge structure and SCH structure made into the purpose is manufactured by this.

[0053]As mentioned above, after according to this 1st embodiment establishing the crevice 1a in the 1 principal surface of c side silicon on sapphire 1 and growing up GaN buffer layer 2 with the substrate temperature of 520 °C on this 1 principal surface, make 1000 °C go up substrate temperature, and in that process. While crystallizing GaN buffer layer 2 embedded in the crevice 1a with solid phase growth, Diffuse aluminum and it is considered as the aluminum<sub>x</sub>Ga<sub>1-x</sub>N crystal 16, By crystallizing the GaN buffer layer 2 whole by furthermore crystallizing the GaN buffer layer 2 whole by using this aluminum<sub>x</sub>Ga<sub>1-x</sub>N crystal 16 as a core, Undoped GaN layer 3 grown up on this GaN buffer layer 2, the n type GaN contact layer 4, the n type AlGaIn clad layer 5, the n type GaN lightguide 6, the active layer 7 of Ga<sub>1-x</sub>In<sub>x</sub>N/Ga<sub>1-y</sub>In<sub>y</sub>N multiple quantum well structure, The crystallinity of the p type AlGaIn cap layer 8, the p type GaN lightguide 9, the p type AlGaIn clad layer 10, and the p type GaN contact layer 11 should also be excellent. By this, high performance, a long life, and a highly reliable GaN system semiconductor laser are realizable.

[0054]Next, a 2nd embodiment of this invention is described.

[0055]After forming the crevice 1a in the surface of c side silicon on sapphire 1 like a 1st embodiment in this 2nd embodiment, The surface of this c side silicon on sapphire 1 is exposed to the material gas, for example, ammonia gas, containing nitrogen, and the nitrated case containing aluminum and N is formed. [ the surface ] [ an elevated temperature, for example, the temperature of about 1000 °C, Then, like a 1st embodiment, the process after growth of GaN buffer layer 2 is advanced, and the GaN system semiconductor laser made into the purpose is manufactured.

[0056]According to this 2nd embodiment, in addition to the same advantage as a 1st embodiment, the following advantages can be acquired. Namely, by growing up GaN buffer layer 2, after forming the crevice 1a in the surface of c side silicon on sapphire 1 and forming a nitrated case in this surface further, By the diffusion reaction of aluminum between this nitrated case and GaN buffer layer 2 embedded in the crevice 1a, aluminum is spread in GaN buffer

layer 2, and Ga is conversely spread in a nitrated case. And as a result, diffusion of aluminum can be promoted substantially, and it becomes advantageous when forming the high aluminum<sub>x</sub>Ga<sub>1-x</sub>N crystal 16 of Al composition ratio x.

[0057]Next, a 3rd embodiment of this invention is described.

[0058]As shown in drawing 7, in the GaN system semiconductor laser by this 3rd embodiment, it is formed so that the aluminum<sub>x</sub>Ga<sub>1-x</sub>N crystal 16 with which crystal orientation was equal to the whole interface of c side silicon on sapphire 1 and GaN buffer layer 2 may embed the crevice 1a. Other is the same as that of the GaN system semiconductor laser by a 1st embodiment.

[0059]According to this 3rd embodiment, the same advantage as a 1st embodiment can be acquired.

[0060]Next, a 4th embodiment of this invention is described.

[0061]Dropping substrate temperature at 520 °C and raising substrate temperature from this temperature to 1000 °C in this 4th embodiment, after forming the crevice 1a in the surface of c side silicon on sapphire 1 like a 1st embodiment. Undoped GaN layer 2 is directly grown up on c side silicon on sapphire 1, and the layer after the n type GaN contact layer 3 is succeedingly grown up like a 1st embodiment on it. An example of the substrate temperature sequence from the thermal cleaning at this time to growth of a nitride system group-III-V-semiconductor layer is shown in drawing 8.

[0062]According to this 4th embodiment, when crystallization of undoped GaN layer 2 occurs from the crevice 1a of c side silicon on sapphire 1, The crystallinity of the nitride system group-III-V-semiconductor layer who should be excellent and grows up the crystallinity of the undoped GaN layer 2 whole on it by this should also be excellent.

[0063]Next, a 5th embodiment of this invention is described.

[0064]In the GaN system semiconductor laser according to this 5th embodiment as shown in drawing 9 and drawing 10, Two or more linear shape crevices 1a which extend in parallel mutually are established in one way (for example, the <11-20> direction), and the aluminum<sub>x</sub>Ga<sub>1-x</sub>N crystal 16 is embedded to the inside of this crevice 1a by the surface of c side silicon on sapphire 1. Other is the same as that of a 1st embodiment.

[0065]The manufacturing method of the GaN system semiconductor laser by this 5th embodiment is the same as the manufacturing method of the GaN system semiconductor laser according to a 1st embodiment except for the formation methods of the crevice 1a of c side silicon on sapphire 1 differing. In this 5th embodiment, the crevice 1a, After the surface forms the resist pattern (not shown) of predetermined stripe shape with lithography on flattening and mirror-plane-ization-processed c side silicon on sapphire 1, It forms by etching c side silicon on sapphire 1 to a prescribed depth by dry etching by using this resist pattern as a mask.

[0066]According to this 5th embodiment, the same advantage as a 1st embodiment can be acquired.

[0067]Next, a 6th embodiment of this invention is described.

[0068]In the GaN system semiconductor laser according to this 6th embodiment as shown in drawing 11 and drawing 12, The crevice 1a of the plane shape of a hexagon is established in two-dimensional array form, and the aluminum<sub>x</sub>Ga<sub>1-x</sub>N crystal 16 is embedded to the inside of this crevice 1a by the surface of c side silicon on sapphire 1. Other is the same as that of a 1st embodiment.

[0069]The manufacturing method of the GaN system semiconductor laser by this 5th embodiment is the same as the manufacturing method of the GaN system semiconductor laser according to a 1st embodiment except for the formation methods of the crevice 1a of c side silicon on sapphire 1 differing. Namely, in this 5th embodiment the crevice 1a, After the surface forms the resist pattern (not shown) of the shape of a predetermined hexagon with lithography on flattening and mirror-plane--ization-processed c side silicon on sapphire 1, It forms by etching c side silicon on sapphire 1 to a prescribed depth by dry etching by using this resist pattern as a mask.

[0070]According to this 6th embodiment, the same advantage as a 1st embodiment can be acquired.

[0071]As mentioned above, although the embodiment of this invention was described concretely, this invention is not limited to an above-mentioned embodiment, and various kinds of modification based on the technical idea of this invention is possible for it.

[0072]For example, a numerical value, structure, a raw material, a process, etc. quoted in the above-mentioned 1st - a 6th embodiment are only an example to the last, and may use a numerical value, structure, a raw material, a process, etc. of differing from these, if needed.

[0073]Although the crevice 1a is formed in the above-mentioned 1st - a 4th embodiment by carrying out thermal cleaning of the surface of c side silicon on sapphire 1 within the coil of an MOCVD system, After forming the crevice 1a in the surface of c side silicon on sapphire 1 by thermal cleaning with another device, after moving this c side silicon on sapphire 1 in the coil of an MOCVD system, thermal cleaning is performed again, and it may be made to perform that epigenesis length.

[0074]In the 1st - 3rd, 5th, and 6th embodiments, although GaN buffer layer 2 is grown up as a buffer layer, Generally as a buffer layer, an aluminum<sub>x</sub>Ga<sub>1-x-y</sub>In<sub>y</sub>N (0< x< 1, 0< y< 1, 0< x+y< 1) layer can be used.

[0075]In the above-mentioned 1st - a 6th embodiment, although the case where this invention was applied to the GaN system semiconductor laser of SCH structure was explained, this invention is also applicable to the GaN system semiconductor laser of DH (Double Heterostructure) structure. The thing of single quantum well structure may be used as the

active layer 7. As laser structure, various kinds of things which realize a profit waveguide type or refractive index guiding type semiconductor laser, such as a ridge waveguide type, an internal current stricture type, a structural substrate type, and a vertical microfiche control type (a distributed feedback (DFB) type or a distribution Bragg reflection (DBR) type semiconductor laser), can be used. This invention can also be applied to a GaN system light emitting diode, and can also be further applied to electronic run elements, such as GaN system FET.

[0076]

[Effect of the Invention As explained above, according to this invention, two or more crystal orientation and crystal faces can restrict growth of the nitride system group-III-V-semiconductor layer on this silicon on sapphire by establishing two or more crevices in the 1 principal surface of silicon on sapphire. For this reason, the orientation relationship of silicon on sapphire and the nitride system group III-V semiconductor who grows on it should be coincided more correctly, and the crystallinity of the nitride system group-III-V-semiconductor layer should be excelled.

---

[Translation done.]

## \* NOTICES

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings

[Drawing 1 It is a sectional view vertical to the direction of cavity length of the GaN system semiconductor laser by a 1st embodiment of this invention.

[Drawing 2 It is a sectional view expanding and showing some GaN system semiconductor lasers by a 1st embodiment of this invention.

[Drawing 3 It is a top view showing the example of the plane shape of the crevice formed in the surface of c side silicon on sapphire in the GaN system semiconductor laser by a 1st embodiment of this invention.

[Drawing 4 It is a sectional view for explaining the manufacturing method of the GaN system semiconductor laser by a 1st embodiment of this invention.

[Drawing 5 It is a sectional view for explaining the manufacturing method of the GaN system semiconductor laser by a 1st embodiment of this invention.

[Drawing 6 It is an approximate line figure showing an example of the substrate temperature sequence in the manufacturing method of the GaN system semiconductor laser by a 1st embodiment of this invention.

[Drawing 7 It is a sectional view for explaining the manufacturing method of the GaN system semiconductor laser by a 3rd embodiment of this invention.

[Drawing 8 It is an approximate line figure showing an example of the substrate temperature sequence in the manufacturing method of the GaN system semiconductor laser by a 4th embodiment of this invention.

[Drawing 9 It is a sectional view expanding and showing some GaN system semiconductor lasers by a 5th embodiment of this invention.

[Drawing 10 It is a top view for explaining the manufacturing method of the GaN system semiconductor laser by a 5th embodiment of this invention.

[Drawing 11 It is a sectional view expanding and showing some GaN system semiconductor

lasers by a 6th embodiment of this invention.

[Drawing 12 It is a top view for explaining the manufacturing method of the GaN system semiconductor laser by a 6th embodiment of this invention.

[Description of Notations

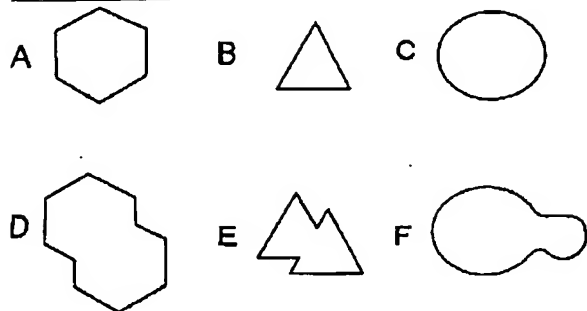
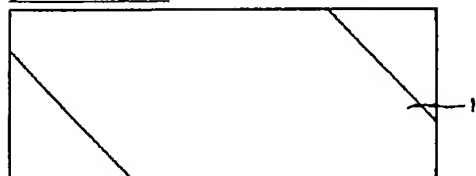
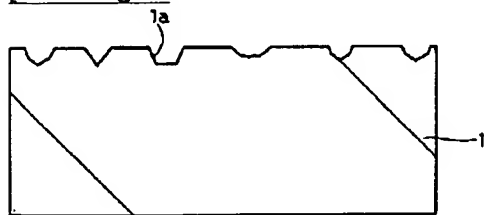
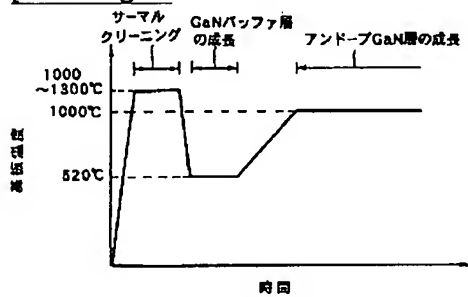
1 ... c side silicon on sapphire, 1a ... A crevice, 2 ... GaN buffer layer, 3 ... An undoping GaN layer, 4 ... A n type GaN contact layer, 5 ... N type AlGaIn clad layer, 6 ... A n type GaN lightguide, 7 ... An active layer, 8 ... P type AlGaIn cap layer, 9 --- A ridge part, 13 / ... An insulator layer, 14 / ... p lateral electrode, 15 / ... n lateral electrode, 16 / ... aluminum<sub>x</sub>Ga<sub>1-x</sub>N crystal ] ... A p type GaN lightguide, 10 ... A p type AlGaIn clad layer, 11 ... A p type GaN contact layer, 12

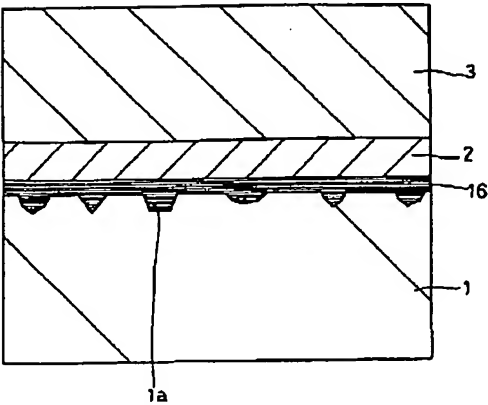
---

[Translation done.]

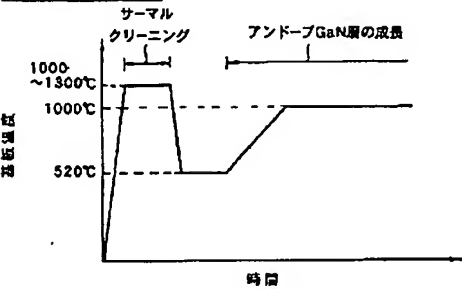




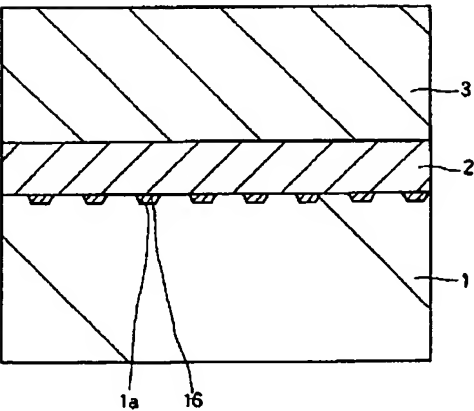
[Drawing 3][Drawing 4][Drawing 5][Drawing 6][Drawing 7]



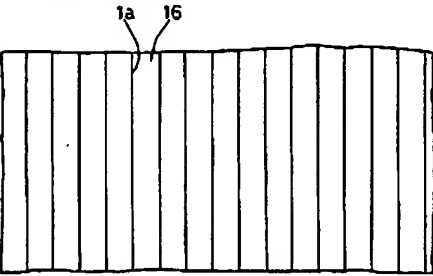
[Drawing 8]



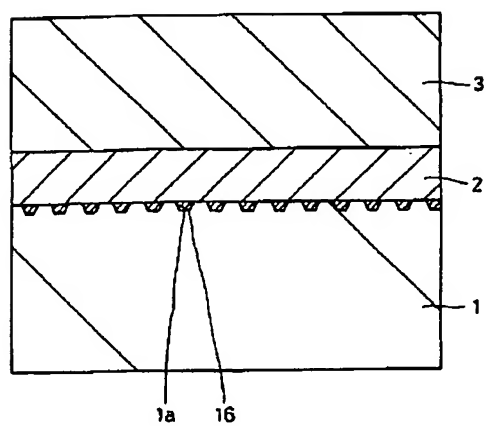
[Drawing 9]



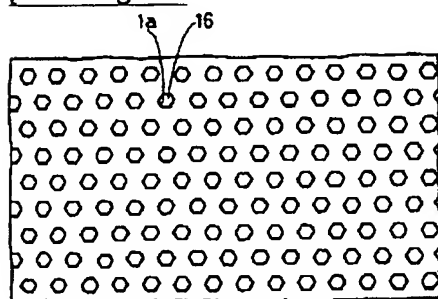
[Drawing 10]



[Drawing 11]



[Drawing 12]



---

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-21772

(P2000-21772A)

(43)公開日 平成12年1月21日(2000.1.21)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テームコード(参考)
H 0 1 L 21/20		H 0 1 L 21/20	5 F 0 4 1
	33/00		C 5 F 0 5 2
H 0 1 S 5/30		H 0 1 S 3/18	5 F 0 7 3

審査請求 未請求 請求項の数31 O L (全 12 頁)

(21)出願番号 特願平10-180930

(22)出願日 平成10年6月26日(1998.6.26)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 森田 悦男

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 100082762

弁理士 杉浦 正知

Fターム(参考) 5F041 CA23 CA34 CA40 CA46 CA72  
CA75 CA77

5F052 DA04 EA11 EA15 GC06 KA01

KA05

5F073 CA02 CA17 CB05 CB07 DA12

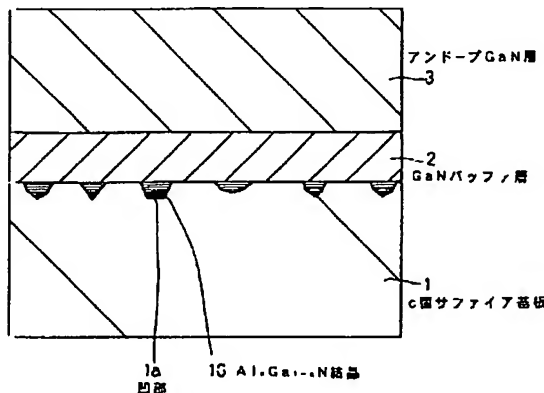
DA13 DA35

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 サファイア基板上に成長させる窒化物系ⅢⅠⅠ-Ⅴ族化合物半導体層の結晶性の向上を図る。

【解決手段】 サファイア基板1の一主面に複数の凹部1aを形成し、その上に窒化物系ⅢⅠⅠ-Ⅴ族化合物半導体層を成長させる。凹部1aの内面の少なくとも一部はサファイア基板1の一主面に対して10度以上の角度をなす。凹部1aの内部は、窒化物系ⅢⅠⅠ-Ⅴ族化合物半導体層よりもAl組成比が高い窒化物系ⅢⅠⅠ-Ⅴ族化合物半導体結晶、例えばAl組成比xが0.2以上のAl<sub>1-x</sub>Ga<sub>x</sub>N結晶16で埋め込まれる。凹部1aは深さを25nm以上、幅を30nm以上とする。凹部1aはサファイア基板1のサーマルクリーニング時に形成してもよいし、リソグラフィーおよびエッチング、サーマルエッチングなどを用いて形成してもよい。



## 【特許請求の範囲】

【請求項1】 サファイア基板上に成長させた窒化物系ⅢⅢ-Ⅴ族化合物半導体層を用いた半導体装置において、

上記サファイア基板と上記窒化物系ⅢⅢ-Ⅴ族化合物半導体層との界面における上記サファイア基板に凹部が設けられていることを特徴とする半導体装置。

【請求項2】 上記凹部の内面の少なくとも一部が上記サファイア基板の上記窒化物系ⅢⅢ-Ⅴ族化合物半導体層側の一主面に対して10度以上の角度をなすことを特徴とする請求項1記載の半導体装置。

【請求項3】 上記サファイア基板の上記窒化物系ⅢⅢ-Ⅴ族化合物半導体層側の一主面がサファイア結晶の(0001)面または(0001)面から微小角度傾斜した面からなることを特徴とする請求項1記載の半導体装置。

【請求項4】 上記凹部は深さが25nm以上、幅が30nm以上あることを特徴とする請求項1記載の半導体装置。

【請求項5】 上記窒化物系ⅢⅢ-Ⅴ族化合物半導体層よりもAl組成比が大きい窒化物系ⅢⅢ-Ⅴ族化合物半導体結晶が上記凹部の内部に埋め込まれていることを特徴とする請求項1記載の半導体装置。

【請求項6】 上記凹部は深さが10nm以上、幅が30nm以上あることを特徴とする請求項5記載の半導体装置。

【請求項7】 上記サファイア基板と上記窒化物系ⅢⅢ-Ⅴ族化合物半導体層との界面に上記窒化物系ⅢⅢ-Ⅴ族化合物半導体層よりもAl組成比が大きい窒化物系ⅢⅢ-Ⅴ族化合物半導体結晶が上記凹部の内部に埋め込むように設けられていることを特徴とする請求項1記載の半導体装置。

【請求項8】 上記窒化物系ⅢⅢ-Ⅴ族化合物半導体層が $Al_{x1}Ga_{1-x1-y1}In_{y1}N$  ( $0 \leq x1 \leq 1$ ,  $0 \leq y1 \leq 1$ ,  $0 \leq x1 + y1 \leq 1$ ) からなり、上記窒化物系ⅢⅢ-Ⅴ族化合物半導体結晶が $Al_{x2}Ga_{1-x2-y2}In_{y2}N$  ( $0 \leq x2 \leq 1$ ,  $0 \leq y2 \leq 1$ ,  $0 \leq x2 + y2 \leq 1$ ) からなるとき、 $x2 - x1 \geq 0.1$ であることを特徴とする請求項6記載の半導体装置。

【請求項9】 上記窒化物系ⅢⅢ-Ⅴ族化合物半導体層が $Al_{x1}Ga_{1-x1-y1}In_{y1}N$  ( $0 \leq x1 \leq 1$ ,  $0 \leq y1 \leq 1$ ,  $0 \leq x1 + y1 \leq 1$ ) からなり、上記窒化物系ⅢⅢ-Ⅴ族化合物半導体結晶が $Al_{x2}Ga_{1-x2-y2}In_{y2}N$  ( $0 \leq x2 \leq 1$ ,  $0 \leq y2 \leq 1$ ,  $0 \leq x2 + y2 \leq 1$ ) からなるとき、 $x2 - x1 \geq 0.1$ であることを特徴とする請求項7記載の半導体装置。

【請求項10】 上記窒化物系ⅢⅢ-Ⅴ族化合物半導体層がGaN層である場合において、上記窒化物系ⅢⅢ-Ⅴ族化合物半導体結晶が $0.2 \leq x \leq 1$ の $Al_xGa_{1-x}N$ からなることを特徴とする請求項5記載の半導

体装置。

【請求項11】 上記窒化物系ⅢⅢ-Ⅴ族化合物半導体結晶が $0.2 \leq x \leq 1$ の $Al_xGa_{1-x}N$ からなることを特徴とする請求項7記載の半導体装置。

【請求項12】 上記凹部の内部に窒化物系ⅢⅢ-Ⅴ族化合物半導体結晶が埋め込まれており、上記窒化物系ⅢⅢ-Ⅴ族化合物半導体結晶の部分の透過電子顕微鏡像においてモアレ縞が観察されることを特徴とする請求項1記載の半導体装置。

【請求項13】 上記凹部の内部に窒化物系ⅢⅢ-Ⅴ族化合物半導体結晶が埋め込まれており、上記窒化物系ⅢⅢ-Ⅴ族化合物半導体結晶の(0002)反射とサファイア結晶の(0006)反射とを少なくとも励起した透過電子顕微鏡像において、上記凹部の部分に間隔が1.37~1.67nmのモアレ縞が観察されることを特徴とする請求項1記載の半導体装置。

【請求項14】 上記窒化物系ⅢⅢ-Ⅴ族化合物半導体結晶の(0002)反射とサファイア結晶の(0006)反射とを少なくとも励起した透過電子顕微鏡像において、上記凹部の部分に間隔が1.37~1.67nmのモアレ縞が観察されることを特徴とする請求項10記載の半導体装置。

【請求項15】 上記窒化物系ⅢⅢ-Ⅴ族化合物半導体結晶の(0002)反射とサファイア結晶の(0006)反射とを少なくとも励起した透過電子顕微鏡像において、上記凹部の部分に間隔が1.37~1.67nmのモアレ縞が観察されることを特徴とする請求項11記載の半導体装置。

【請求項16】 サファイア基板上に成長させた窒化物系ⅢⅢ-Ⅴ族化合物半導体層を用いた半導体装置の製造方法において、

サファイア基板の一主面に凹部を形成した後、上記サファイア基板の上記一主面に窒化物系ⅢⅢ-Ⅴ族化合物半導体層を成長させるようにしたことを特徴とする半導体装置の製造方法。

【請求項17】 上記凹部の内面の少なくとも一部が上記サファイア基板の上記一主面に対して10度以上の角度をなすことを特徴とする請求項16記載の半導体装置の製造方法。

【請求項18】 上記サファイア基板の上記一主面がサファイア結晶の(0001)面または(0001)面から微小角度傾斜した面からなることを特徴とする請求項16記載の半導体装置の製造方法。

【請求項19】 上記凹部は深さが25nm以上、幅が30nm以上あることを特徴とする請求項16記載の半導体装置の製造方法。

【請求項20】 上記サファイア基板の上記一主面上に第1の温度の基板温度で窒化物系ⅢⅢ-Ⅴ族化合物半導体からなるバッファ層を成長させ、次いで基板温度を上記第1の温度から上記第1の温度よりも高い第2の温

度に昇温した後、上記窒化物系ⅢⅢ-Ⅴ族化合物半導体層を成長させるようにしたことを特徴とする請求項16記載の半導体装置の製造方法。

【請求項21】 上記サファイア基板上に基板温度を第3の温度からこの第3の温度よりも高い第4の温度に昇温しながら窒化物系ⅢⅢ-Ⅴ族化合物半導体からなるバッファ層を成長させるようにしたことを特徴とする請求項16記載の半導体装置の製造方法。

【請求項22】 上記サファイア基板上に基板温度を第5の温度からこの第5の温度よりも高い第6の温度に昇温しながら窒化物系ⅢⅢ-Ⅴ族化合物半導体層を直接成長させるようにしたことを特徴とする請求項16記載の半導体装置の製造方法。

【請求項23】 上記基板温度の昇温時の熱処理により、上記サファイア基板の上記凹部の内部に埋め込まれた上記バッファ層を結晶化または結晶性を向上させるとともに、上記サファイア基板のA1を上記バッファ層に拡散させることにより、少なくとも上記サファイア基板の上記凹部の内部に埋め込まれた、上記窒化物系ⅢⅢ-Ⅴ族化合物半導体層よりもA1組成比が高い窒化物系ⅢⅢ-Ⅴ族化合物半導体結晶を形成するようにしたことを特徴とする請求項21記載の半導体装置の製造方法。

【請求項24】 上記基板温度の昇温時の熱処理により、上記サファイア基板の上記凹部の内部に埋め込まれた上記バッファ層を結晶化または結晶性を向上させるとともに、上記サファイア基板のA1を上記バッファ層に拡散させることにより、少なくとも上記サファイア基板の上記凹部の内部に埋め込まれた、上記窒化物系ⅢⅢ-Ⅴ族化合物半導体層よりもA1組成比が高い窒化物系ⅢⅢ-Ⅴ族化合物半導体結晶を形成するようにしたことを特徴とする請求項22記載の半導体装置の製造方法。

【請求項25】 上記基板温度の昇温時の熱処理により、上記サファイア基板の上記凹部の内部に埋め込まれた上記窒化物系ⅢⅢ-Ⅴ族化合物半導体層を結晶化または結晶性を向上させるとともに、上記サファイア基板のA1を上記窒化物系ⅢⅢ-Ⅴ族化合物半導体層に拡散させることにより、少なくとも上記サファイア基板の上記凹部の内部に埋め込まれた、上記窒化物系ⅢⅢ-Ⅴ族化合物半導体層よりもA1組成比が高い窒化物系ⅢⅢ-Ⅴ族化合物半導体結晶を形成するようにしたことを特徴とする請求項23記載の半導体装置の製造方法。

【請求項26】 上記凹部は深さが10nm以上、幅が30nm以上あることを特徴とする請求項23記載の半導体装置の製造方法。

【請求項27】 上記凹部は深さが10nm以上、幅が30nm以上あることを特徴とする請求項24記載の半導体装置の製造方法。

【請求項28】 上記凹部は深さが10nm以上、幅が

30nm以上あることを特徴とする請求項25記載の半導体装置の製造方法。

【請求項29】 上記バッファ層を成長させる前に上記サファイア基板の上記一面を窒化しておくようにしたことを特徴とする請求項20記載の半導体装置の製造方法。

【請求項30】 上記バッファ層を成長させる前に上記サファイア基板の上記一面を窒化しておくようにしたことを特徴とする請求項21記載の半導体装置の製造方法。

【請求項31】 上記窒化物系ⅢⅢ-Ⅴ族化合物半導体層を成長させる前に上記サファイア基板の上記一面を窒化しておくようにしたことを特徴とする請求項22記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置およびその製造方法に関し、特に、GaNなどの窒化物系ⅢⅢ-Ⅴ族化合物半導体を用いた半導体レーザや発光ダイオードあるいは電子走行素子に適用して好適なものである。

【0002】

【従来の技術】緑色あるいは青色から紫外線領域におよぶ発光材料として、Al、Ga、InなどのⅢⅢ族元素とNを含むⅤ族元素とからなる、GaNに代表される窒化物系ⅢⅢ-Ⅴ族化合物半導体を用いた半導体レーザや発光ダイオードが開発されている。このうち、発光ダイオードについてはすでに実用化されている。一方、半導体レーザにおいては、室温連続発振が実現されているものの、長寿命化のためには窒化物系ⅢⅢ-Ⅴ族化合物半導体のさらなる結晶性の改善が必要とされている。そのために、ELO-GaN (Epitaxially laterally overgrown GaN) などのGaNの結晶性を向上させる技術も応用されて効果を発揮している。しかし、その基本となる、結晶基板上に成長させた窒化物系ⅢⅢ-Ⅴ族化合物半導体層自体の結晶性のさらなる向上も望まれている。

【0003】一般的には基板結晶としてはサファイアまたはSiCが用いられ、十分に平坦化および鏡面化加工された結晶基板表面の清浄化が成長装置の中で行われた後、その上に窒化物系ⅢⅢ-Ⅴ族化合物半導体層の成長が行われる。この場合、目的とする半導体装置を製造するには、原子レベルで平坦な表面または界面構造を有する各種積層構造を形成することが必要であるため、基板表面も平坦さが維持または平坦化されるような表面清浄化方法および成長方法が用いられている。

【0004】結晶基板面を微傾斜させてその上の成長様式をステップフロー (Step Flow) モードにすることによって窒化物系ⅢⅢ-Ⅴ族化合物半導体層の結晶性を向上させる方法も提案されている (特開平7-20174

5号公報)。

【0005】GaAs基板やInP基板を用いた場合においては、導波路中の導波光を反射する目的で、(001)基板表面に(111)B面からなる回折格子を形成した基板にバッファ層を成長させてから、窒化物系III-V族化合物半導体層を成長させることが行われている(特開平8-264901号公報)。

【0006】また、サファイア基板とその上の窒化物系III-V族化合物半導体層との間に、AlNバッファ層をはさんだり(特開平2-229476号公報)、GaNまたはAlGaNバッファ層をはさんだり(特開平4-297023号公報、特開平7-312350号公報)することによって結晶性の向上を図る手法や、サファイア基板表面を窒化することによって結晶性を向上させる手法(特開平5-41541号公報)などが知られている。また、格子定数の異なる複数のバッファ層を連続して積層し、基板とバッファ層、バッファ層とその上のエピタキシャル層との格子定数差を小さくすることによって格子不整による欠陥を低く抑える方法が知られている(特開平9-63962号公報)。

【0007】

【発明が解決しようとする課題】一般に、サファイア基板やSiC基板上に成長させた窒化物系III-V族化合物半導体結晶には、結晶方位の「ふらつき」があるとされている。つまり、この窒化物系III-V族化合物半導体結晶は「モザイク結晶」である。この結晶方位のふらつきは、大きく分けて、基板表面に垂直な軸の周りに回転するような方向にふらつく「ツイスト(Twist)」モザイク成分と、軸方位が垂直方向からずれる方向にふらつく「チルト(Tilt)」モザイク成分とに分けることができる。これらのふらつきの大きさは通常、0.01〜0.5°程度あるとされている。この結晶方位のふらつきの原因は、使用する基板とその上に成長させる窒化物系III-V族化合物半導体層との結晶構造が異なること、および、それらの格子定数が互いに大きく異なるためであると考えられている。また、安定なサファイア結晶と窒化物系III-V族化合物半導体結晶との原子間結合がそれらの結晶内部に比べて相対的に弱いために、成長時にサファイア結晶からの結晶方位の引き継ぎが正確に行われにくいことも要因と考えられる。

【0008】以上のようなモザイク結晶性のために、窒化物系III-V族化合物半導体層を用いた半導体発光素子においては、発光効率の低下など、素子特性の向上が妨げられたり、寿命が短いなど、素子としての信頼性に問題が生じている。

【0009】したがって、この発明の目的は、サファイア基板上に成長させる窒化物系III-V族化合物半導体層の結晶性の向上を図ることができる半導体装置およびその製造方法を提供することにある。

【0010】

【課題を解決するための手段】本発明者は、従来技術が有する上述の課題を解決すべく、鋭意検討を行った。以下にその概要について説明する。

【0011】本発明者は、サファイア基板上に成長させる窒化物系III-V族化合物半導体の結晶性の向上を図るためには、サファイア基板の表面がどのような状態にあるのが最適であるかについて検討した。このサファイア基板の表面については、これまでは、より平坦であることが望ましいと考えられ、平坦化に努力が払われていたと言える。例えば、特開平8-83802号公報には、常圧雰囲気で900℃以上の温度に加熱してサファイア基板を熱処理する際に、面方位に対応して加熱時間および加熱温度を選択することによりサファイア基板表面の原子ステップ高さおよびテラス幅を制御することで、超平坦で、実質的に同一結晶方位を持つテラス面のみからなり、しかも直線状の規則的なステップサイトを持つ基板表面を得る技術が提案されている。

【0012】しかしながら、本発明者の検討によれば、サファイア基板上に成長させる窒化物系III-V族化合物半導体の結晶性の向上を図るためには、上記の平坦化とは全く逆に、サファイア基板の表面に積極的に凹部を形成しておく方がよい。これは次のような理由による。

【0013】平坦なサファイア基板表面での結晶成長(気相成長および固相成長を含む)過程では、成長する窒化物系III-V族化合物半導体結晶の結晶方位は、基板表面に平行なただ一つの界面をはさむ窒化物系III-V族化合物半導体原子とサファイア結晶原子との相互作用のみで決定されるため、この界面での相互作用力が大きくないと、すでに述べた結晶方位のふらつきが大きくなる。特に、面内方向の結晶方位のふらつき(ツイスト成分)の制御が弱くなる。これに対して、凹みを有する界面においては、基板に平行ではない斜め方向の結晶面を介して横方向の束縛力で結晶方位が限定されることによって、結晶方位を制限することが可能である。このため、サファイア基板とその上に成長する窒化物系III-V族化合物半導体結晶との結晶方位関係をより正確に一致させることが可能となる。

【0014】ここで、均一な結晶方位のステップ状の微傾斜基板を用いる方法においては、結晶方位の束縛は1方向なのに対して、サファイア基板表面に凹部を設けた場合には、このサファイア基板上の窒化物系III-V族化合物半導体の成長は複数の結晶方向および結晶面によって制限されるため、サファイア基板とその上に成長する窒化物系III-V族化合物半導体層との結晶方位関係の一致に関してより大きな効果を得ることができる。

【0015】この発明は、本発明者による以上のような検討に基づいて案出されたものである。すなわち、上記目的を達成するために、この発明の第1の発明は、サフ

ァイア基板上に成長させた窒化物系ⅡⅡ-Ⅴ族化合物半導体層を用いた半導体装置において、サファイア基板と窒化物系ⅡⅡ-Ⅴ族化合物半導体層との界面におけるサファイア基板に凹部が設けられていることを特徴とするものである。

【0016】この発明の第2の発明は、サファイア基板上に成長させた窒化物系ⅡⅡ-Ⅴ族化合物半導体層を用いた半導体装置の製造方法において、サファイア基板の一主面に凹部を形成した後、サファイア基板の一主面に窒化物系ⅡⅡ-Ⅴ族化合物半導体層を成長させるようにしたことを特徴とするものである。

【0017】この発明において、サファイア基板の凹部は、種々の断面形状および平面形状とすることができ、点状であっても、線状であっても、点状のものと線状のものとの組み合わせたものであってもよい。また、これらの凹部は、種々の方法によって形成することができ、例えば、サファイア基板の表面をサーマルクリーニングする際の条件の制御や、リソグラフィ技術およびエッチング技術の利用や、サーマルエッチングなどにより形成してもよい。

【0018】この発明において、サファイア基板上に窒化物系ⅡⅡ-Ⅴ族化合物半導体層を成長させる際に、複数の結晶方向および結晶面によって成長を制限し、サファイア基板とその上に成長させる窒化物系ⅡⅡ-Ⅴ族化合物半導体層との結晶方位関係のより正確な一致を図る観点から、好適には、サファイア基板の凹部の内面の少なくとも一部がサファイア基板の一主面に対して10度以上の角度をなすようにする。また、凹部の大きさについては、同様な観点から、好適には、深さを25nm以上、幅を30nm以上とする。あるいは、後述のようにサファイア基板からのAlの拡散を容易にする観点からは、凹部の深さを10nm以上、幅を30nm以上とする。また、これらの凹部の幅は、好適には5μm以下、典型的には2μm以下である。

【0019】この発明において、典型的には、サファイア基板の一主面がサファイア結晶の(0001)面(いわゆるc面)または(0001)面から微小角度傾斜した面からなる。ここで、微小角度とは、10度以内の角度を意味する。サファイア基板の一主面がこれらの面である場合、凹部の内面には種々の結晶面が現れ得る。具体的には、例えば、サファイア結晶の{11-26}面、{11-29}面などが現れる。実際に形成された凹部の内面の結晶面の角度の測定によると、凹部によって角度が異なるが、これらの二つの結晶面またはその間の角度になっている。

【0020】この発明において、窒化物系ⅡⅡ-Ⅴ族化合物半導体層が形成された状態のサファイア基板の凹部の内部は、結晶方位のそろった窒化物系ⅡⅡ-Ⅴ族化合物半導体結晶で埋め込まれている。ただし、必ずしも複数の凹部の全てが窒化物系ⅡⅡ-Ⅴ族化合物半導

体結晶で埋め込まれている必要はない。この凹部に埋め込まれた、結晶方位のそろった窒化物系ⅡⅡ-Ⅴ族化合物半導体は、例えば、一主面に凹部が形成されたサファイア基板上に窒化物系ⅡⅡ-Ⅴ族化合物半導体のバッファ層を低温で成長させた後、より高温で熱処理することにより形成することができる。この方法は、サファイア基板上にまず低温で窒化物系ⅡⅡ-Ⅴ族化合物半導体のバッファ層を成長させてから、基板温度を昇温させてこのバッファ層上に窒化物系ⅡⅡ-Ⅴ族化合物半導体層を成長させるプロセスを用いる場合に適合するものであるが、バッファ層の成長からその上の窒化物系ⅡⅡ-Ⅴ族化合物半導体層の成長を基板温度を低温から高温に連続的に昇温させながら行うことによって、成長中断による異常界面形成のない積層構造を実現することができる。さらに、別の方法として、バッファ層を成長させずに、サファイア基板上に、基板温度を低温から高温に昇温させながら、窒化物系ⅡⅡ-Ⅴ族化合物半導体層を直接成長させ、サファイア基板の凹部に窒化物系ⅡⅡ-Ⅴ族化合物半導体結晶を埋め込んでもよい。具体的には、例えば、基板温度500〜520℃から窒化物系ⅡⅡ-Ⅴ族化合物半導体層の成長を開始して1000〜1100℃まで基板温度を昇温させながら成長を続ける。そして、基板温度が1000〜1100℃まで上昇したら、基板温度をその温度に保持して成長を続ける。ただし、窒化物系ⅡⅡ-Ⅴ族化合物半導体層中にGaInN層などのInを含む層が含まれる場合、その層の成長は700〜800℃の基板温度で行う。

【0021】ここで、サファイア基板の凹部の中に結晶方位のそろった窒化物系ⅡⅡ-Ⅴ族化合物半導体結晶が形成されていることは、透過電子顕微鏡を用いたモアレ縞形成の有無によって判断することができる。例えば、窒化物系ⅡⅡ-Ⅴ族化合物半導体結晶の(0002)反射とサファイア結晶の(0006)反射とを少なくとも励起した透過電子顕微鏡像において、サファイア基板の凹部の内部に現れるこれらの格子面によるモアレ縞を観察することによって、結晶方位のそろった窒化物系ⅡⅡ-Ⅴ族化合物半導体結晶の成長を確かめることができる。このモアレ縞は、成長させた窒化物系ⅡⅡ-Ⅴ族化合物半導体の成分および組成に依存する間隔を有する。

【0022】この発明において、典型的には、サファイア基板とその上の窒化物系ⅡⅡ-Ⅴ族化合物半導体層との界面に、Al<sub>2</sub>O<sub>3</sub>からなるサファイア基板を起源とするAlが拡散した高Al組成比窒化物系ⅡⅡ-Ⅴ族化合物半導体結晶からなるバッファ層が、サファイア基板の凹部を埋め込むように形成される。この高Al組成比窒化物系ⅡⅡ-Ⅴ族化合物半導体結晶は、サファイア基板の凹部の内部にのみ埋め込まれることもある。ここで、このバッファ層との界面におけるサファイア基板に凹部が設けられているため、サファイア基板とバッ



ファ層との接触面積は凹部の内面の面積分だけ増加しているため、サファイア基板からバッファ層へのAlの拡散は容易に行われる。例えば、窒化物系III-V族化合物半導体層が $Al_{x1}Ga_{1-x1-y1}In_{y1}N$  ( $0 \leq x1 \leq 1$ ,  $0 \leq y1 \leq 1$ ,  $0 \leq x1+y1 \leq 1$ ) からなり、窒化物系III-V族化合物半導体結晶が $Al_{x2}Ga_{1-x2-y2}In_{y2}N$  ( $0 \leq x2 \leq 1$ ,  $0 \leq y2 \leq 1$ ,  $0 \leq x2+y2 \leq 1$ ) からなる場合、好適には、 $x2-x1 \geq 0$ 、1となるようにする。この高Al組成比窒化物系III-V族化合物半導体結晶が形成されることにより次のような効果が得られる。すなわち、例えば、窒化物系III-V族化合物半導体層がGaN層である場合、高Al組成比窒化物系III-V族化合物半導体結晶はAlGaN結晶となるが、このAlGaN結晶によりサファイア基板とGaN層とをAlを介して連続的に接続することができるとともに、このAlGaN結晶はGaN層に比べてよりサファイア基板に近い格子定数を有することによりサファイア基板とGaN層との格子定数差を緩和することができ、また、格子定数差によって生じる不一致転位を減少させることができる。この高Al組成比窒化物系III-V族化合物半導体結晶の形成は、低温でバッファ層を成長させた後の基板温度の昇温時の熱処理により行うことができる。あるいは、バッファ層を成長させることなく、サファイア基板上に、基板温度を低温から高温に上昇させながら、窒化物系III-V族化合物半導体層を直接成長させる場合には、基板温度の昇温の過程で行うことができる。さらにまた、サファイア基板からのAlの拡散を有効に行わせる観点からは、好適には、成長前にサファイア基板の一面を窒素を含むガスにさらして窒化することによりAlとNとからなる層を形成しておく。これらの場合、サファイア基板に凹部が形成されていることにより、サファイア基板とその上に成長される層との界面の接触面積が増大し、Alの拡散反応が促進される。

【0023】ここで、サファイア基板と窒化物系III-V族化合物半導体層との界面に高Al組成比窒化物系III-V族化合物半導体結晶が形成されていることは、透過電子顕微鏡を用いたモアレ縞を観察することによって確認することができる。より具体的には、窒化物系III-V族化合物半導体結晶の(0002)反射とサファイア結晶の(0006)反射とを少なくとも励起した透過電子顕微鏡像において界面領域に間隔が0.8~1.7nmのモアレ縞が観察されること、あるいは、窒化物系III-V族化合物半導体結晶の(01-10)反射とサファイア結晶の(11-20)反射とを少なくとも励起した透過電子顕微鏡像において界面領域に間隔が1~2.1nmの間隔のモアレ縞が観察されること、あるいは、窒化物系III-V族化合物半導体結晶の(0-220)反射とサファイア結晶の(03-30)反射とを少なくとも励起した透過電子顕微鏡像にお

いて0.6~1.2nmの間隔のモアレ縞が観察されることによって判断することができる。

【0024】この発明において、窒化物系III-V族化合物半導体は、Ga、Al、InおよびBからなる群より選ばれた少なくとも一種のIII族元素と、少なくともNを含み、場合によってはAsまたはPを含むV族元素とからなり、具体例を挙げると、GaN、InN、AlN、AlGaN、GaInN、AlGaInNなどである。

【0025】この発明において、窒化物系III-V族化合物半導体層の成長には、有機金属化学気相成長(MOCVD)法や、分子線エピタキシー(MBE)法などを用いることができる。

【0026】この発明において、半導体装置は、基本的にはどのようなものであってもよいが、具体的には、半導体レーザや発光ダイオードなどの発光素子あるいはGaN系FETなどの電子走行素子である。

【0027】上述のように構成されたこの発明によれば、サファイア基板の一面に凹部が設けられていることにより、このサファイア基板上における窒化物系III-V族化合物半導体層の成長を複数の結晶方向および結晶面によって制限することができ、それによって、サファイア基板とその上に成長する窒化物系III-V族化合物半導体との結晶方位関係をより正確に一致させることができる。

【0028】

【発明の実施の形態】以下、この発明の実施形態について図面を参照しながら説明する。なお、実施形態の全図において、同一または対応する部分には同一の符号を付す。

【0029】図1はこの発明の第1の実施形態によるGaN系半導体レーザを示し、図2はこのGaN系半導体レーザの基板表面付近の一部を拡大して示す。このGaN系半導体レーザはSCH (Separate Confinement Heterostructure) 構造を有するものである。

【0030】図1および図2に示すように、この第1の実施形態によるGaN系半導体レーザにおいては、c面サファイア基板1上に、GaNバッファ層2を介して、アンドープGaN層3、n型GaNコンタクト層4、n型AlGaNクラッド層5、n型GaN光導波層6、Ga<sub>1-x</sub>In<sub>x</sub>N/Ga<sub>1-y</sub>In<sub>y</sub>N多重量子井戸構造の活性層7、p型AlGaNキャップ層8、p型GaN光導波層9、p型AlGaNクラッド層10およびp型GaNコンタクト層11が順次積層されている。ここで、p型AlGaNキャップ層8は、p型GaN光導波層9、p型AlGaNクラッド層10およびp型GaNコンタクト層11を1000℃程度の温度で成長させる際にGa<sub>1-x</sub>In<sub>x</sub>N/Ga<sub>1-y</sub>In<sub>y</sub>N多重量子井戸構造の活性層7からInNが分解するのを防止するとともに、活性層7からの電子のオーバーフローを防止するた

めのものである。

【0031】Ga<sub>0.9</sub>Nバッファ層2は厚さが例えば30nmであり、アンドープGa<sub>0.9</sub>N層3は厚さが例えば1μmである。n型Ga<sub>0.9</sub>Nコンタクト層4は厚さが例えば4μmであり、n型不純物として例えばSiがドーパされている。n型AlGa<sub>0.9</sub>Nクラッド層5は厚さが例えば0.5μmであり、n型不純物として例えばSiがドーパされている。n型Ga<sub>0.9</sub>N光導波層6は厚さが例えば0.1μmであり、n型不純物として例えばSiがドーパされている。p型AlGa<sub>0.9</sub>Nキャップ層8は厚さが例えば20nmであり、p型不純物として例えばMgがドーパされている。p型Ga<sub>0.9</sub>N光導波層9は厚さが例えば0.1μmであり、p型不純物として例えばMgがドーパされている。p型AlGa<sub>0.9</sub>Nクラッド層10は厚さが例えば0.5μmであり、p型不純物として例えばMgがドーパされている。また、n型AlGa<sub>0.9</sub>Nクラッド層5およびp型AlGa<sub>0.9</sub>Nクラッド層10のAl組成比は例えば0.07、p型AlGa<sub>0.9</sub>Nキャップ層8のAl組成比は例えば0.16である。Ga<sub>1-x</sub>In<sub>x</sub>N/Ga<sub>1-y</sub>In<sub>y</sub>N多重量子井戸構造の活性層7については、例えばx=0.11、y=0.01、Ga<sub>1-x</sub>In<sub>x</sub>N層およびGa<sub>1-y</sub>In<sub>y</sub>N層の厚さは例えばそれぞれ3nmおよび6nm、井戸数は4である。n型AlGa<sub>0.9</sub>Nクラッド層5およびp型AlGa<sub>0.9</sub>Nクラッド層10のAl組成比は例えば0.07、p型AlGa<sub>0.9</sub>Nキャップ層8のAl組成比は例えば0.16である。

【0032】n型Ga<sub>0.9</sub>Nコンタクト層4の上層部、n型AlGa<sub>0.9</sub>Nクラッド層5、n型Ga<sub>0.9</sub>N光導波層6、Ga<sub>1-x</sub>In<sub>x</sub>N/Ga<sub>1-y</sub>In<sub>y</sub>N多重量子井戸構造の活性層7、p型AlGa<sub>0.9</sub>Nキャップ層8、p型Ga<sub>0.9</sub>N光導波層9、p型AlGa<sub>0.9</sub>Nクラッド層10およびp型Ga<sub>0.9</sub>Nコンタクト層11は所定幅のメサ形状を有する。また、このメサ部におけるp型AlGa<sub>0.9</sub>Nクラッド層10の上層部およびp型Ga<sub>0.9</sub>Nコンタクト層11には一方に延在する所定幅のリッジ部12が形成されている。メサ部の表面およびメサ部以外の部分のn型Ga<sub>0.9</sub>Nコンタクト層4の表面には例えばSiO<sub>2</sub>膜のような絶縁膜13が設けられている。この絶縁膜13には、リッジ部12の上の部分に開口13aが、メサ部に隣接する部分のn型Ga<sub>0.9</sub>Nコンタクト層4の上の部分に開口13bが設けられている。そして、リッジ部12をまたぐようにp側電極14が設けられており、絶縁膜13の開口13aを通じてリッジ部12のp型Ga<sub>0.9</sub>Nコンタクト層11とオーミックコンタクトしている。このp側電極14は、例えばNi膜、Pt膜およびAu膜を順次積層したNi/Pt/Au構造を有する。また、絶縁膜13の開口13bを通じてn型Ga<sub>0.9</sub>Nコンタクト層4上にn側電極15がオーミックコンタクトして設けられている。このn側電極15は、例えばTi膜、Al膜、Pt膜およびAu膜を順次積層したTi/Al/Pt/Au構造を有す

る。

【0033】図2に示すように、この第1の実施形態においては、従来のGa<sub>0.9</sub>N系半導体レーザと異なり、c面サファイア基板1とその上の窒化物系III-V族化合物半導体層、具体的にはGa<sub>0.9</sub>Nバッファ層2との界面におけるc面サファイア基板1に凹部1aが多数、例えば10<sup>9</sup>cm<sup>-2</sup>程度の面密度で形成されている。これらの凹部1aの断面形状は三角形、台形など種々のものであってよく、それらの平面形状も図3に例示するような六角形、三角形、円形、これらが二つ以上組み合わさったものなど種々のものであってよい。これらの凹部1aの大きさは、例えば、深さが25nm以上、幅が30nm以上である。また、これらの凹部1aの内部は、結晶方位のそろったAl<sub>x</sub>Ga<sub>1-x</sub>N結晶16で埋め込まれている。ここで、このAl<sub>x</sub>Ga<sub>1-x</sub>N結晶16のAl組成比xは0.2以上である。また、サファイア結晶の(0006)反射とGa<sub>0.9</sub>N結晶の(0002)反射とを励起した電子顕微鏡像において、このAl<sub>x</sub>Ga<sub>1-x</sub>N結晶16の部分で観察されるモアレ結の間隔は、1.37~1.67nmである。

【0034】次に、上述のように構成されたこの第1の実施形態によるGa<sub>0.9</sub>N系半導体レーザの製造方法について説明する。

【0035】このGa<sub>0.9</sub>N系半導体レーザを製造するには、まず、図4に示すように、表面が平坦化および鏡面化加工されたc面サファイア基板1を用意し、このc面サファイア基板1を図示省略したMOCVD装置の反応管内に入れる。

【0036】次に、この反応管内で、水素ガス、アルゴンガスなどの不活性ガス、窒素ガスなどの雰囲気、好適には水素ガスのような還元性雰囲気において、基板温度を例えば1000~1300℃に設定して1~60分間熱処理することにより、c面サファイア基板1の表面のサーマルクリーニングを行うとともに、図5に示すように、表面に凹部1aを形成する。このとき、目的とする凹部1aの大きさや形状に応じて、基板温度および時間を調節する。

【0037】次に、基板温度を例えば520℃に下降させた後、図2に示すように、c面サファイア基板1の凹部1aが形成された表面上にMOCVD法によりGa<sub>0.9</sub>Nバッファ層2を成長させる。次に、基板温度を例えば1000℃まで上昇させ、MOCVD法により、Ga<sub>0.9</sub>Nバッファ層2上にアンドープGa<sub>0.9</sub>N層3、n型Ga<sub>0.9</sub>Nコンタクト層4、n型AlGa<sub>0.9</sub>Nクラッド層5、n型Ga<sub>0.9</sub>N光導波層6、Ga<sub>1-x</sub>In<sub>x</sub>N/Ga<sub>1-y</sub>In<sub>y</sub>N多重量子井戸構造の活性層7、p型AlGa<sub>0.9</sub>Nキャップ層8、p型Ga<sub>0.9</sub>N光導波層9、p型AlGa<sub>0.9</sub>Nクラッド層10およびp型Ga<sub>0.9</sub>Nコンタクト層11を順次成長させる。ただし、Inを含む層であるGa<sub>1-x</sub>In<sub>x</sub>N/Ga<sub>1-y</sub>In<sub>y</sub>N多重量子井戸構造の活性層7の成長は基

板温度を700~800℃として行う。これらのGaN系半導体層の成長原料は、例えば、III族元素であるGaの原料としてはトリメチルガリウム(TMG)を、III族元素であるAlの原料としてはトリメチルアルミニウム(TMA)を、III族元素であるInの原料としてはトリメチルインジウム(TMI)を、V族元素であるNの原料としてはアンモニア(NH<sub>3</sub>)を用いる。また、キャリアガスとしては、例えば、水素(H<sub>2</sub>)と窒素(N<sub>2</sub>)との混合ガスを用いる。ドーパントについては、n型ドーパントとしては例えばモノシラン(SiH<sub>4</sub>)を、p型ドーパントとしては例えばメチルシクロペンタジエニルマグネシウム((MCP)<sub>2</sub>Mg)を用いる。

【0038】上述のサーマルクリーニングから窒化物系III-V族化合物半導体層の成長までの基板温度シーケンスの一例を図6に示す。

【0039】GaNバッファ層2の成長後の基板温度上昇中の熱処理により、c面サファイア基板1の凹部1aの内部に埋め込まれたGaNバッファ層2が固相エピタキシャル成長により結晶化するとともに、この結晶にc面サファイア基板1からAlが拡散する。これによって、この凹部1aの内部に、結晶方位のそろったAl<sub>x</sub>Ga<sub>1-x</sub>N結晶16が形成される。透過電子顕微鏡によるモアレ縞の間隔の測定によれば、この方法により、Al<sub>x</sub>Ga<sub>1-x</sub>N結晶16のAl組成比xを最大で0.95にもすることができると可能である。また、この結晶化およびAl拡散の過程で、c面サファイア基板1とAl<sub>x</sub>Ga<sub>1-x</sub>N結晶16とがAlを共有して強固に結合する。また、このAl<sub>x</sub>Ga<sub>1-x</sub>N結晶16はc面サファイア基板1との格子定数差がGaNに比べて小さいことにより、c面サファイア基板1とGaNバッファ層2との格子定数差が緩和される。さらに、Al<sub>x</sub>Ga<sub>1-x</sub>N結晶16およびその上のGaNバッファ層2の全体で見ると、Al組成比が下から上にむかって徐々に減少する構造となっているため、c面サファイア基板1との格子不整が徐々に緩和されている。そして、Al<sub>x</sub>Ga<sub>1-x</sub>N結晶16を核としてGaNバッファ層2の結晶化が進行し、最終的に優れた結晶性のGaNバッファ層2が得られる。このため、この結晶性に優れたGaNバッファ層2上に成長されるアンドープGaN層3、n型GaNコンタクト層4、n型AlGaNクラッド層5、n型GaN光導波層6、Ga<sub>1-x</sub>In<sub>x</sub>N/Ga<sub>1-y</sub>In<sub>y</sub>N多重量子井戸構造の活性層7、p型AlGaNキャップ層8、p型GaN光導波層9、p型AlGaNクラッド層10およびp型GaNコンタクト層11の結晶性も優れたものとなる。

【0040】次に、p型GaNコンタクト層11の全面に例えばCVD法、真空蒸着法、スパッタリング法などにより例えば厚さが0.4μmのSiO<sub>2</sub>膜を形成した後、このSiO<sub>2</sub>膜上にリソグラフィーにより所定形状

のレジストパターン(図示せず)を形成し、このレジストパターンをマスクとして例えばフッ酸系のエッチング液を用いたウエットエッチングによりSiO<sub>2</sub>膜をエッチングする。これによって、p型GaNコンタクト層11上にSiO<sub>2</sub>膜からなるマスク(図示せず)が形成される。

【0041】次に、このマスクを用いて例えば反応性イオンエッチング(RIE)法によりn型GaNコンタクト層4に達するまでエッチングを行う。このとき、例えば、n型GaNコンタクト層4が0.5μmエッチングされるようにする。このRIEのエッチングガスとしては例えば塩素系ガスを用いる。

【0042】次に、マスクをエッチング除去した後、再び基板全面に例えばCVD法、真空蒸着法、スパッタリング法などにより例えば厚さが0.2μmのSiO<sub>2</sub>膜を形成した後、このSiO<sub>2</sub>膜上にリソグラフィーにより所定形状のレジストパターン(図示せず)を形成し、このレジストパターンをマスクとして例えばフッ酸系のエッチング液を用いたウエットエッチングによりSiO<sub>2</sub>膜をエッチングする。これによって、メサ部を含む基板表面にSiO<sub>2</sub>膜からなるマスク(図示せず)が形成される。

【0043】次に、このマスクを用いて例えばRIE法によりp型GaNコンタクト層11の厚さ方向の所定の深さまでエッチングを行うことにより溝を形成し、リッジ部12を形成する。このRIEのエッチングガスとしては例えば塩素系ガスを用いる。

【0044】次に、リソグラフィーによりn側電極形成領域を除いた領域の表面を覆うレジストパターン(図示せず)を形成する。

【0045】次に、このレジストパターンをマスクとして絶縁膜13をエッチングすることにより、開口13bを形成する。

【0046】次に、レジストパターンを残したままの状態では基板全面に例えば真空蒸着法によりTi膜、Al膜、Pt膜およびAu膜を順次形成した後、レジストパターンをその上に形成されたTi膜、Al膜、Pt膜およびAu膜とともに除去する(リフトオフ)。これによって、絶縁膜13の開口13bの部分におけるn型GaNコンタクト層4上にTi/Al/Pt/Au構造のn側電極15が形成される。

【0047】次に、例えば、窒素ガス雰囲気中において800℃で10分熱処理を行うことにより、p型AlGaNキャップ層8、p型GaN光導波層9、p型AlGaNクラッド層10およびp型GaNコンタクト層11にドーパされたp型不純物の電気的活性化を行うとともに、n側電極15のアロイ処理を行う。

【0048】次に、リソグラフィーによりリッジ部12の領域を除いた領域の表面を覆うレジストパターン(図示せず)を形成する。

【0049】次に、レジストパターンをマスクとして絶縁膜13をエッチングすることにより開口13aを形成し、リッジ部12の上面を露出させる。

【0050】次に、リソグラフィーによりp側電極形成領域を除いた領域の表面を覆うレジストパターン（図示せず）を形成する。

【0051】次に、基板全面に例えば真空蒸着法によりNi膜、Pt膜およびAu膜を順次形成した後、レジストパターン22をその上に形成されたNi膜、Pt膜およびAu膜とともに除去する。これによって、図1に示すように、リッジ部12にまたがって、Ni/Pt/Au構造のp側電極14が形成される。次に、例えば、窒素ガス雰囲気中において600℃で20分熱処理を行うことにより、p側電極14のアロイ処理を行う。

【0052】この後、上述のようにしてレーザ構造が形成されたc面サファイア基板1をバー状に加工して両共振器端面を形成し、さらに端面コーティングを施した後、このバーをチップ化する。これによって、目的とするリッジ構造およびSCH構造のGa<sub>N</sub>系半導体レーザが製造される。

【0053】以上のように、この第1の実施形態によれば、c面サファイア基板1の一面に凹部1aを設け、この一面上に基板温度520℃でGa<sub>N</sub>バッファ層2を成長させた後、基板温度を1000℃に上昇させ、その過程で、凹部1aに埋め込まれたGa<sub>N</sub>バッファ層2を固相成長により結晶化させるとともに、Alを拡散させてAl<sub>x</sub>Ga<sub>1-x</sub>N結晶16とし、さらにこのAl<sub>x</sub>Ga<sub>1-x</sub>N結晶16を核としてGa<sub>N</sub>バッファ層2全体を結晶化させることによりGa<sub>N</sub>バッファ層2全体を結晶化していることにより、このGa<sub>N</sub>バッファ層2上に成長させるアンドープGa<sub>N</sub>層3、n型Ga<sub>N</sub>コンタクト層4、n型AlGa<sub>N</sub>クラッド層5、n型Ga<sub>N</sub>光導波層6、Ga<sub>1-x</sub>In<sub>x</sub>N/Ga<sub>1-y</sub>In<sub>y</sub>N多重量子井戸構造の活性層7、p型AlGa<sub>N</sub>キャップ層8、p型Ga<sub>N</sub>光導波層9、p型AlGa<sub>N</sub>クラッド層10およびp型Ga<sub>N</sub>コンタクト層11の結晶性も優れたものとして行うことができる。これによって、高性能、長寿命、高信頼性のGa<sub>N</sub>系半導体レーザを実現することができる。

【0054】次に、この発明の第2の実施形態について説明する。

【0055】この第2の実施形態においては、第1の実施形態と同様にして、c面サファイア基板1の表面に凹部1aを形成した後、このc面サファイア基板1の表面を高温、例えば1000℃程度の温度で窒素を含む原料ガス、例えばアンモニアガスにさらして窒化し、AlとNとを含む窒化層を形成する。この後、第1の実施形態と同様にして、Ga<sub>N</sub>バッファ層2の成長以降の工程を進め、目的とするGa<sub>N</sub>系半導体レーザを製造する。

【0056】この第2の実施形態によれば、第1の実

形態と同様な利点に加えて、次のような利点を得ることができる。すなわち、c面サファイア基板1の表面に凹部1aを形成し、さらにこの表面に窒化層を形成してからGa<sub>N</sub>バッファ層2を成長させていることにより、この窒化層と凹部1aに埋め込まれたGa<sub>N</sub>バッファ層2との間でのAlの拡散反応によってGa<sub>N</sub>バッファ層2にAlが拡散し、逆に窒化層にGaが拡散する。そして、この結果、Alの拡散を大幅に促進することができ、Al組成比xの高いAl<sub>x</sub>Ga<sub>1-x</sub>N結晶16を形成する場合に有利となる。

【0057】次に、この発明の第3の実施形態について説明する。

【0058】図7に示すように、この第3の実施形態によるGa<sub>N</sub>系半導体レーザにおいては、c面サファイア基板1とGa<sub>N</sub>バッファ層2との界面全体に、結晶方位のそろったAl<sub>x</sub>Ga<sub>1-x</sub>N結晶16が凹部1aを埋め込むように形成されている。その他のことは第1の実施形態によるGa<sub>N</sub>系半導体レーザと同様である。

【0059】この第3の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0060】次に、この発明の第4の実施形態について説明する。

【0061】この第4の実施形態においては、第1の実施形態と同様にしてc面サファイア基板1の表面に凹部1aを形成した後、基板温度を520℃に降下させ、基板温度をこの温度から1000℃まで上昇させながら、c面サファイア基板1上に直接アンドープGa<sub>N</sub>層2を成長させ、引き続いてその上に第1の実施形態と同様にしてn型Ga<sub>N</sub>コンタクト層3以降の層を成長させる。このときのサーマルクリーニングから窒化物系III-V族化合物半導体層の成長までの基板温度シーケンスの一例を図8に示す。

【0062】この第4の実施形態によれば、c面サファイア基板1の凹部1aからアンドープGa<sub>N</sub>層2の結晶化が起きることにより、アンドープGa<sub>N</sub>層2全体の結晶性を優れたものとして行うことができ、これによってその上に成長させる窒化物系III-V族化合物半導体層の結晶性も優れたものとして行うことができる。

【0063】次に、この発明の第5の実施形態について説明する。

【0064】図9および図10に示すように、この第5の実施形態によるGa<sub>N</sub>系半導体レーザにおいては、c面サファイア基板1の表面に、一方向（例えば、〈11-20〉方向）に互いに平行に延びる複数の直線状の凹部1aが設けられ、この凹部1aの内部にAl<sub>x</sub>Ga<sub>1-x</sub>N結晶16が埋め込まれている。その他のことは、第1の実施形態と同様である。

【0065】この第5の実施形態によるGa<sub>N</sub>系半導体レーザの製造方法は、c面サファイア基板1の凹部1aの形成方法が異なることを除いて、第1の実施形態によ

るGa<sub>x</sub>N系半導体レーザの製造方法と同様である。この第5の実施形態においては、凹部1aは、表面が平坦化および鏡面化加工されたc面サファイア基板1上にリソグラフィーにより所定のストライプ形状のレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとしてc面サファイア基板1をドライエッチングにより所定深さまでエッチングすることにより形成する。

【0066】この第5の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0067】次に、この発明の第6の実施形態について説明する。

【0068】図11および図12に示すように、この第6の実施形態によるGa<sub>x</sub>N系半導体レーザにおいては、c面サファイア基板1の表面に、六角形の平面形状の凹部1aが二次元アレイ状に設けられ、この凹部1aの内部にAl<sub>x</sub>Ga<sub>1-x</sub>N結晶16が埋め込まれている。その他のことは、第1の実施形態と同様である。

【0069】この第5の実施形態によるGa<sub>x</sub>N系半導体レーザの製造方法は、c面サファイア基板1の凹部1aの形成方法が異なることを除いて、第1の実施形態によるGa<sub>x</sub>N系半導体レーザの製造方法と同様である。すなわち、この第5の実施形態においては、凹部1aは、表面が平坦化および鏡面化加工されたc面サファイア基板1上にリソグラフィーにより所定の六角形状のレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとしてc面サファイア基板1をドライエッチングにより所定深さまでエッチングすることにより形成する。

【0070】この第6の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0071】以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0072】例えば、上述の第1～第6の実施形態において挙げた数値、構造、原料、プロセスなどはあくまでも例に過ぎず、必要に応じて、これらと異なる数値、構造、原料、プロセスなどを用いてもよい。

【0073】また、上述の第1～第4の実施形態においては、MOCVD装置の反応管内でc面サファイア基板1の表面をサーマルクリーニングすることにより凹部1aを形成しているが、別の装置でc面サファイア基板1の表面にサーマルクリーニングにより凹部1aを形成した後、このc面サファイア基板1をMOCVD装置の反応管内に移してから再度サーマルクリーニングを行い、その後成長を行うようにしてもよい。

【0074】また、第1～第3、第5および第6の実施形態においては、バッファ層としてGa<sub>x</sub>Nバッファ層2を成長させているが、バッファ層としては一般的にはA

l<sub>x</sub>Ga<sub>1-x</sub>l<sub>y</sub>N（0≤x≤1、0≤y≤1、0≤x+y≤1）層を用いることができる。

【0075】さらに、上述の第1～第6の実施形態においては、この発明をSCH構造のGa<sub>x</sub>N系半導体レーザに適用した場合について説明したが、この発明は、DH（Double Heterostructure）構造のGa<sub>x</sub>N系半導体レーザに適用することもできる。また、活性層7として単一量子井戸構造のものを用いてもよい。また、レーザ構造としては、利得導波型または屈折率導波型半導体レーザを実現するリッジ導波路型、内部電流狭窄型、構造基板型、縦モード制御型（分布帰還（DFB）型または分布ブラッグ反射（DBR）型半導体レーザ）などの各種のものを用いることができる。また、この発明は、Ga<sub>x</sub>N系発光ダイオードに適用することもでき、さらには、Ga<sub>x</sub>N系FETなどの電子走行素子に適用することもできる。

【0076】

【発明の効果】以上説明したように、この発明によれば、サファイア基板の一主面に複数の凹部が設けられていることにより、このサファイア基板上における窒化物系III-V族化合物半導体層の成長を複数の結晶方向および結晶面によって制限することができる。このため、サファイア基板とその上に成長する窒化物系III-V族化合物半導体との結晶方位関係をより正確に一致させることができ、窒化物系III-V族化合物半導体層の結晶性を優れたものとすることができる。

【図面の簡単な説明】

【図1】この発明の第1の実施形態によるGa<sub>x</sub>N系半導体レーザの共振器長方向に垂直な断面図である。

【図2】この発明の第1の実施形態によるGa<sub>x</sub>N系半導体レーザの一部を拡大して示す断面図である。

【図3】この発明の第1の実施形態によるGa<sub>x</sub>N系半導体レーザにおいてc面サファイア基板の表面に形成する凹部の平面形状の例を示す平面図である。

【図4】この発明の第1の実施形態によるGa<sub>x</sub>N系半導体レーザの製造方法を説明するための断面図である。

【図5】この発明の第1の実施形態によるGa<sub>x</sub>N系半導体レーザの製造方法を説明するための断面図である。

【図6】この発明の第1の実施形態によるGa<sub>x</sub>N系半導体レーザの製造方法における基板温度シーケンスの一例を示す略線図である。

【図7】この発明の第3の実施形態によるGa<sub>x</sub>N系半導体レーザの製造方法を説明するための断面図である。

【図8】この発明の第4の実施形態によるGa<sub>x</sub>N系半導体レーザの製造方法における基板温度シーケンスの一例を示す略線図である。

【図9】この発明の第5の実施形態によるGa<sub>x</sub>N系半導体レーザの一部を拡大して示す断面図である。

【図10】この発明の第5の実施形態によるGa<sub>x</sub>N系半導体レーザの製造方法を説明するための平面図である。

【図11】この発明の第6の実施形態によるGaN系半導体レーザの一部を拡大して示す断面図である。

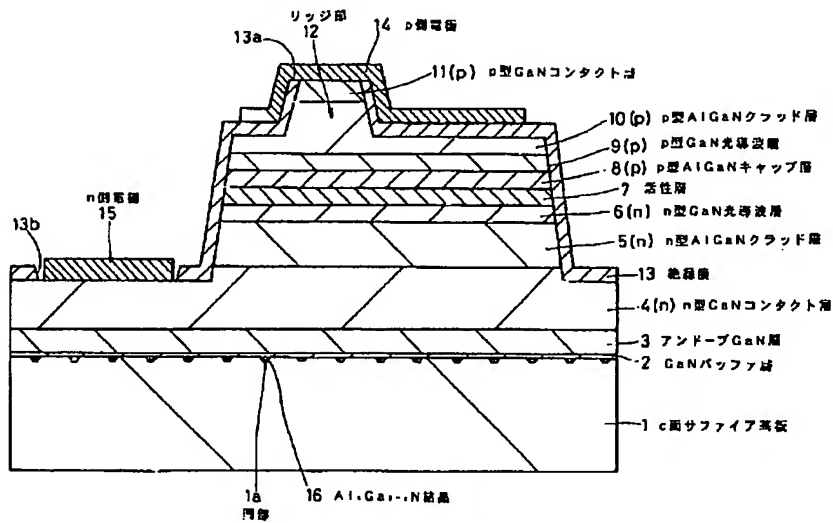
【図12】この発明の第6の実施形態によるGaN系半導体レーザの製造方法を説明するための平面図である。

【符号の説明】

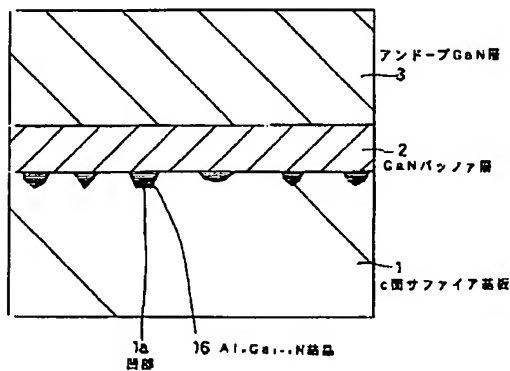
1・・・c面サファイア基板、1a・・・凹部、2・・・GaNバッファ層、3・・・アンドープGaN層、4

・・・n型GaNコンタクト層、5・・・n型AlGa  
Nクラッド層、6・・・n型GaN光導波層、7・・・  
活性層、8・・・p型AlGaInキャップ層、9・・・  
p型GaN光導波層、10・・・p型AlGaInクラ  
ッド層、11・・・p型GaNコンタクト層、12・・・  
リッジ部、13・・・絶縁膜、14・・・p側電極、1  
5・・・n側電極、16・・・ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 結晶

【図1】



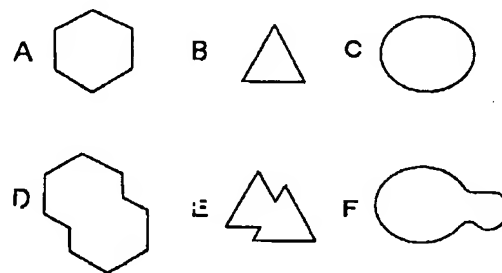
【図2】



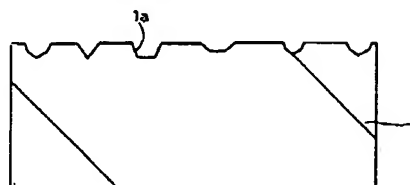
【図4】



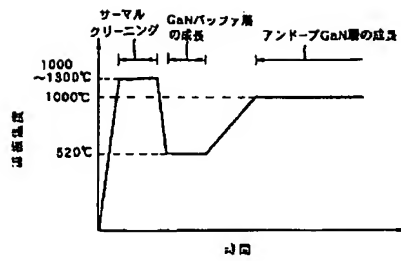
【図3】



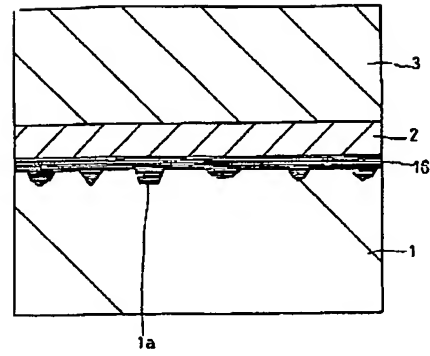
【図5】



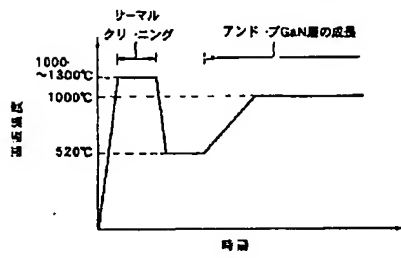
【図6】



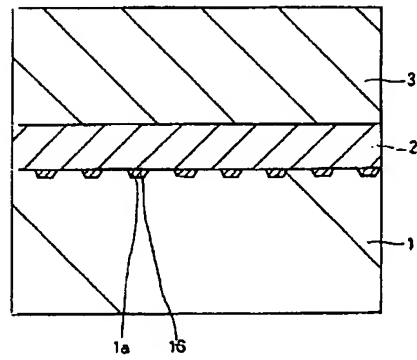
【図7】



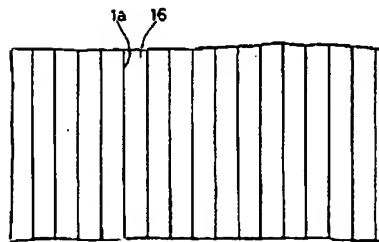
【図8】



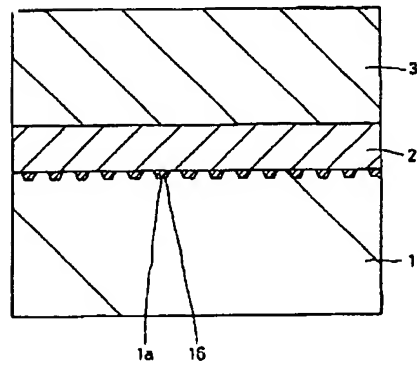
【図9】



【図10】



【図11】



【図12】

